

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Universal Serial Bus interfaces for data and power –
Part 3-1: Universal Serial Bus 3.1 Specification**

**Interfaces de bus universel en série pour les données et l'alimentation
électrique –
Partie 3-1: Spécification du bus universel en série 3.1**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.220; 35.200

ISBN 978-2-8322-5351-9

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

INTERNATIONAL ELECTROTECHNICAL COMMISSION

UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER –

Part 3-1: Universal Serial Bus 3.1 Specification

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62680-3-1 has been prepared by technical area 14: Interfaces and methods of measurement for personal computing equipment, of IEC technical committee 100: Audio, video and multimedia systems and equipment.

The text of this standard was prepared by the USB Implementers Forum (USB-IF). The structure and editorial rules used in this publication reflect the practice of the organization which submitted it.

The text of this standard is based on the following documents:

CDV	Report on voting
100/2589/CDV	100/2684/RVC

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 62680 series, published under the general title *Universal serial bus interfaces for data and power*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

The IEC 62680 series is based on a series of specifications that were originally developed by the USB Implementers Forum (USB-IF). These specifications were submitted to the IEC under the auspices of a special agreement between the IEC and the USB-IF.

The USB Implementers Forum, Inc. (USB-IF) is a non-profit corporation founded by the group of companies that developed the Universal Serial Bus specification. The USB-IF was formed to provide a support organization and forum for the advancement and adoption of Universal Serial Bus technology. The Forum facilitates the development of high-quality compatible USB peripherals (devices), and promotes the benefits of USB and the quality of products that have passed compliance testing.

ANY USB SPECIFICATIONS ARE PROVIDED TO YOU "AS IS", WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE USB IMPLEMENTERS FORUM AND THE AUTHORS OF ANY USB SPECIFICATIONS DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OR INFORMATION IN THIS SPECIFICATION.

THE PROVISION OF ANY USB SPECIFICATIONS TO YOU DOES NOT PROVIDE YOU WITH ANY LICENCE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Entering into USB Adopters Agreements may, however, allow a signing company to participate in a reciprocal, RAND-Z licensing arrangement for compliant products. For more information, please see:

<http://www.usb.org/developers/docs/>

http://www.usb.org/developers/devclass_docs#approved

IEC DOES NOT TAKE ANY POSITION AS TO WHETHER IT IS ADVISABLE FOR YOU TO ENTER INTO ANY USB ADOPTERS AGREEMENTS OR TO PARTICIPATE IN THE "USB IMPLEMENTERS FORUM".

Universal Serial Bus 3.1 Specification

Hewlett-Packard Company
Intel Corporation
Microsoft Corporation
Renesas Corporation
ST-Ericsson
Texas Instruments

Revision 1.0
July 26, 2013

Revision History

Revision	Comments	Issue Date
1.0	Initial release. USB 3.0	November 12, 2008
	Incorporated errata and ECNs	June 6, 2011
1.0	Initial release. USB 3.1	July 26, 2013

INTELLECTUAL PROPERTY DISCLAIMER

THIS SPECIFICATION IS PROVIDED TO YOU “AS IS” WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE AUTHORS OF THIS SPECIFICATION DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OF INFORMATION IN THIS SPECIFICATION. THE PROVISION OF THIS SPECIFICATION TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Please send comments to techsup@usb.org

For industry information, refer to the USB Implementers Forum web page at <http://www.usb.org>

All product names are trademarks, registered trademarks, or servicemarks of their respective owners.

Copyright © 2007-2013, Hewlett-Packard Company, Intel Corporation, Microsoft Corporation, Renesas Corporation, ST-Ericsson, and Texas Instruments.

All rights reserved.

Acknowledgement of Technical Contribution

Dedication

Dedicated to the memory of Brad Hosler, the impact of whose accomplishments made the Universal Serial Bus one of the most successful technology innovations of the Personal Computer era.

The authors of this specification would like to recognize the following people who participated in the USB 3.0 Bus Specification technical workgroups. We would also like to acknowledge the many others throughout the industry who provided feedback and contributed to the development of this specification.

Promoter Company Employees

Alan Berkema	Hewlett-Packard Company
Walter Fry	Hewlett-Packard Company
Anthony Hudson	Hewlett-Packard Company
David Roderick	Hewlett-Packard Company
Kok Hong Chan	Intel Corporation
Huimin Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Dan Froelich	Intel Corporation
Howard Heck	Intel Corporation
Brad Hosler	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
John Keys	Intel Corporation
Yun Ling	Intel Corporation
Andy Martwick	Intel Corporation
Steve McGowan	Intel Corporation
Ramin Neshati	Intel Corporation
Duane Quiet	Intel Corporation
Jeff Ravencraft	Intel Corporation
Brad Saunders	Intel Corporation
Joe Schaefer	Intel Corporation
Sarah Sharp	Intel Corporation
Micah Sheller	Intel Corporation
Gary Solomon	Intel Corporation
Karthi Vadivelu	Intel Corporation
Clint Walker	Intel Corporation
Jim Walsh	Intel Corporation
Randy Aull	Microsoft Corporation
Fred Bhesania	Microsoft Corporation
Martin Borve	Microsoft Corporation
Jim Bovee	Microsoft Corporation
Stephen Cooper	Microsoft Corporation
Lars Giusti	Microsoft Corporation
Robbie Harris	Microsoft Corporation

Allen Marshall	Microsoft Corporation
Kiran Muthabatulla	Microsoft Corporation
Tomas Perez-Rodriguez	Microsoft Corporation
Mukund Sankaranarayan	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Glen Slick	Microsoft Corporation
David Wooten	Microsoft Corporation
Rob Young	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Hiroshi Kariya	NEC Corporation
Masami Katagiri	NEC Corporation
Yuichi Mizoguchi	NEC Corporation
Kats Nakazawa	NEC Corporation
Nobuyuki Mizukoshi	NEC Corporation
Yutaka Noguchi	NEC Corporation
Hajime Nozaki	NEC Corporation
Kenji Oguma	NEC Corporation
Satoshi Ohtani	NEC Corporation
Takanori Saeki	NEC Corporation
Eiji Sakai	NEC Corporation
Hiro Sakamoto	NEC Corporation
Hajime Sakuma	NEC Corporation
Makoto Sato	NEC Corporation
Hock Seow	NEC Corporation
"Peter" Chu Tin Teng	NEC Corporation
Yoshiyuki Tomoda	NEC Corporation
Satomi Yamauchi	NEC Corporation
Yoshiyuki Yamada	NEC Corporation
Susumu Yasuda	NEC Corporation
Alan Chang	ST-NXP Wireless
Wing Yan Chung	ST-NXP Wireless
Socol Constantin	ST-NXP Wireless
Knud Holtvoeth	NXP Semiconductors, B.V.
Linus Kerk	ST-NXP Wireless
Martin Klein	NXP Semiconductors, B.V.
Geert Knapen	NXP Semiconductors, B.V.
Chee Ee Lee	ST-NXP Wireless
Christian Paquet	NXP Semiconductors, B.V.
Veerappan Rajaram	ST-NXP Wireless
Shaun Reemeyer	ST-NXP Wireless
Dave Sroka	ST-NXP Wireless
Chee-Yen TEE	ST-NXP Wireless
Jerome Tjia	ST-NXP Wireless
Bart Vertenten	NXP Semiconductors, B.V.
Hock Meng Yeo	ST-NXP Wireless
Olivier Alavoine	Texas Instruments.

David Arciniega	Texas Instruments
Richard Baker	Texas Instruments
Sujoy Chakravarty	Texas Instruments
T. Y. Chan	Texas Instruments
Romit Dasgupta	Texas Instruments.
Alex Davidson	Texas Instruments
Eric Desmarchelier	Texas Instruments
Christophe Gautier	Texas Instruments
Dan Harmon	Texas Instruments
Will Harris	Texas Instruments
Richard Hubbard	Texas Instruments
Ivo Huber	Texas Instruments
Scott Kim	Texas Instruments
Grant Ley	Texas Instruments
Karl Muth	Texas Instruments
Lee Myers	Texas Instruments
Julie Nirchi	Texas Instruments
Wes Ray	Texas Instruments
Matthew Rowley	Texas Instruments
Bill Sherry	Texas Instruments
Mitsuru Shimada	Texas Instruments
James Skidmore	Texas Instruments
Yoram Solomon	Texas Instruments.
Sue Vining	Texas Instruments
Jin-sheng Wang	Texas Instruments
Roy Wojciechowski	Texas Instruments

Contributor Company Employees

Glen Chandler	Acon
John Chen	Acon
Roger Hou	Acon
Charles Wang	Acon
Norman Wu	Acon
Steven Yang	Acon
George Yee	Acon
George Olear	Contech Research
Sophia Liu	Electronics Testing Center, Taiwan (ETC)
William Northey	FCI
Tom Sultzer	FCI
Garry Biddle	Foxconn
Kuan-Yu Chen	Foxconn
Jason Chou	Foxconn
Gustavo Duenas	Foxconn
Bob Hall	Foxconn
Jiayong He	Foxconn

Jim Koser	Foxconn
Joe Ortega	Foxconn
Ash Raheja	Foxconn
James Sabo	Foxconn
Pei Tsao	Foxconn
Kevin Walker	Foxconn
Tsuneki Watanabe	Foxconn
Chong Yi	Foxconn
Taro Hishinuma	Hirose Electric
Kaz Ichikawa	Hirose Electric
Ryozo Koyama	Hirose Electric
Karl Kwiat	Hirose Electric
Tadashi Sakaizawa	Hirose Electric
Shinya Tono	Hirose Electric
Eiji Wakatsuki	Hirose Electric
Takashi Ehara	Japan Aviation Electronics Industry Ltd. (JAE)
Ron Muir	Japan Aviation Electronics Industry Ltd. (JAE)
Kazuhiro Saito	Japan Aviation Electronics Industry Ltd. (JAE)
Hitoshi Kawamura	Mitsumi
Takashi Kawasaki	Mitsumi
Atsushi Nishio	Mitsumi
Yasuhiko Shinohara	Mitsumi
Tom Lu	Molex Inc.
Edmund Poh	Molex Inc.
Scott Sommers	Molex Inc.
Jason Squire	Molex Inc.
Dat Ba Nguyen	NTS/National Technical System
Jan Fahllund	Nokia
Richard Petrie	Nokia
Panu Ylihaavisto	Nokia
Martin Furuhjelm	Seagate Technology LLC
Julian Gorfajn	Seagate Technology LLC
Marc Hildebrant	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Harold To	Seagate Technology LLC
Robert Lefferts	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Daniel Weinlader	Synopsys, Inc.
Mike Engbretson	Tektronix, Inc.
Thomas Grzysiewicz	Tyco Electronics
Masaaki Iwasaki	Tyco Electronics
Kazukiyo Osada	Tyco Electronics
Hiroshi Shirai	Tyco Electronics
Scott Shuey	Tyco Electronics
Masaru Ueno	Tyco Electronics

The authors of this specification would like to recognize the following people who participated in the USB 3.1 Bus Specification technical workgroups. Additionally we would like to acknowledge the many others throughout industry who provided feedback and contributed to the development of this specification.

Promoter Company Employees

Alan Berkema	Hewlett Packard
Norton Ewart	Hewlett Packard
Monji Jabori	Hewlett Packard
Rahul Lakdawala	Hewlett Packard
Jim Mann	Hewlett Packard
Linden McClure	Hewlett Packard
Mike Bell	Intel Corporation
Huimin Chen	Intel Corporation
Kuan-Yu Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Benjamin Graniello	Intel Corporation
Howard Heck	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
Yun Ling	Intel Corporation
Steve Mcgowan	Intel Corporation
Sridharan Ranganathan	Intel Corporation
Kaleb Ruof	Intel Corporation
Brad Saunders	Intel Corporation
Sarah Sharp	Intel Corporation
Ronald Swartz	Intel Corporation
Jennifer Tsai	Intel Corporation
Karthi Vadivelu	Intel Corporation
Randy Aull	Microsoft Corporation
Vivek Gupta	Microsoft Corporation
Toby Nixon	Microsoft Corporation
Yang You	Microsoft Corporation
Nobuo Furuya	Renesas Electronics Corp.
Masami Katagiri	Renesas Electronics Corp.
Steven Kawamoto	Renesas Electronics Corp.
Kiichi Muto	Renesas Electronics Corp.
Peter Teng	Renesas Electronics Corp.
Hicham Bouzekri	ST-Ericsson
Morten Christiansen	ST-Ericsson
Grant Ley	Texas Instruments
James Skidmore	Texas Instruments
Sue Vining	Texas Instruments
Tod Wolf	Texas Instruments
Li Yang	Texas Instruments

Contributor Company Employees

Jason Chen	Aces Electronics Co., Ltd.
Andy Feng	Aces Electronics Co., Ltd.
Chris Kao	Aces Electronics Co., Ltd.
Glen Chandler	ACON, Advanced-Connectek, Inc.
Alan MacDougall	ACON, Advanced-Connectek, Inc.
Shadi Barakat	Advanced Micro Devices
Walter Fry	Advanced Micro Devices
Will Harris	Advanced Micro Devices
Jason Hawken	Advanced Micro Devices
Hugo Lamarche	Advanced Micro Devices
Yufei Ma	Advanced Micro Devices
Joseph Scanlon	Advanced Micro Devices
Vishant Tyagi	Advanced Micro Devices
Min Wang	Advanced Micro Devices
James Choate	Agilent Technologies, Inc.
Thorsten Goetzmann	Agilent Technologies, Inc.
Takuya Hirato	Agilent Technologies, Inc.
Hiroshi Kanda	Agilent Technologies, Inc.
Donald Schoenecker	Agilent Technologies, Inc.
Chi Chang	ASMedia Technology Inc.
Chin Chang	ASMedia Technology Inc.
Chiahsin Chen	ASMedia Technology Inc.
Weber Chuang	ASMedia Technology Inc.
Ming-Wei Hsu	ASMedia Technology Inc.
Han Sung Kuo	ASMedia Technology Inc.
ShuYu Lin	ASMedia Technology Inc.
Luke Peng	ASMedia Technology Inc.
Daniel Wei	ASMedia Technology Inc.
ShengChung Wu	ASMedia Technology Inc.
Ted Hsiao	Bizlink Technology, Inc.
Pete Burgers	DisplayLink (UK) Ltd.
Dan Ellis	DisplayLink (UK) Ltd.
Richard Petrie	DisplayLink (UK) Ltd.
Terry Little	Foxconn / Hon Hai
Steve Sedio	Foxconn / Hon Hai
Tim Barilovits	Fresco Logic Inc.
Bob McVay	Fresco Logic Inc.
Christopher Meyers	Fresco Logic Inc.
Jie Ni	Fresco Logic Inc.
Jeffrey Yang	Fresco Logic Inc.
Jing-Fan Zhang	Fresco Logic Inc.
Mike Engbretson	Granite River Labs
Kunia Aihara	Hirose Electric Co., Ltd.
Kazu Ichikawa	Hirose Electric Co., Ltd.
Masaru Kawamura	Hirose Electric Co., Ltd.

William MacKillop	Hirose Electric Co., Ltd.
Sho Nakamura	Hirose Electric Co., Ltd.
Toshiyuki Takada	Hirose Electric Co., Ltd.
Sid Tono	Hirose Electric Co., Ltd.
Tirumal Annamaneni	Intersil Corporation
Colby Keith	Intersil Corporation
Gourgen Oganessyan	Intersil Corporation
Michael Vrazel	Intersil Corporation
Toshiyuki Moritake	Japan Aviation Electronics Industry Ltd. (JAE)
Takeharu Naito	Japan Aviation Electronics Industry Ltd. (JAE)
Mark Saubert	Japan Aviation Electronics Industry Ltd. (JAE)
Toshio Shimoyama	Japan Aviation Electronics Industry Ltd. (JAE)
Takamitsu Wada	Japan Aviation Electronics Industry Ltd. (JAE)
Roy Chestnut	LeCroy Corporation
Christopher Forker	LeCroy Corporation
Linden Hsu	LeCroy Corporation
Daniel H Jacobs	LeCroy Corporation
David Li	LeCroy Corporation
Mike Micheletti	LeCroy Corporation
Michael Romm	LeCroy Corporation
Chris Webb	LeCroy Corporation
Tomoki Harada	Lenovo
Ariel Delos Reyes	Lotes Co., Ltd.
Smark Huo	Lotes Co., Ltd.
Regina Liu-Hwang	Lotes Co., Ltd.
Harvey Newman	LSI Corporation
Dave Thompson	LSI Corporation
Srinivas Vura	LSI Corporation
Josue Castillo	Luxshare-ICT
Alan Kinningham	Luxshare-ICT
John Lin	Luxshare-ICT
Stone Lin	Luxshare-ICT
Pat Young	Luxshare-ICT
John Garney	MCCI Corporation
Peter Harrison	Nokia Corporation
Mika Tolvanen	Nokia Corporation
Panu Ylihaavisto	Nokia Corporation
Jason Chen	NXP Semiconductors
Gerrit den Besten	NXP Semiconductors
Bart Vertenten	NXP Semiconductors
Ho Wai Wong-Lam	NXP Semiconductors
Jagoun Koo	Samsung Electronics Co., Ltd.
Cheolho Lee	Samsung Electronics Co., Ltd.
Jun Bum Lee	Samsung Electronics Co., Ltd.
Alvin Cox	Seagate Technology LLC
Steven Davis	Seagate Technology LLC

Bahar Ghaffari	Seagate Technology LLC
Henry (John) Hein	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Tom Skaar	Seagate Technology LLC
Dan Smith	Seagate Technology LLC
Mark Bohm	SMSC
Jerome DeRoo	STMicroelectronics
Benoit Mercier	STMicroelectronics
Subramaniam Aravindhan	Synopsys, Inc.
Bala Babu	Synopsys, Inc.
Sanjay Dave	Synopsys, Inc.
Gervais Fong	Synopsys, Inc.
Kevin Heilman	Synopsys, Inc.
Eric Huang	Synopsys, Inc.
Behram Minwalla	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Tri Nguyen	Synopsys, Inc.
John Stonick	Synopsys, Inc.
Zongyao Wen	Synopsys, Inc.
Paul Wyborny	Synopsys, Inc.
Sarah Boen	Tektronix, Inc.
Darren Gray	Tektronix, Inc.
Srikrishna N.H.	Tektronix, Inc.
Randy White	Tektronix, Inc.
Jim McGrath	Tyco Electronics Corp., a TE Connectivity Ltd. company
Josh Moody	Tyco Electronics Corp., a TE Connectivity Ltd. company
Scott Shuey	Tyco Electronics Corp., a TE Connectivity Ltd. company
Egbert Stellinga	Tyco Electronics Corp., a TE Connectivity Ltd. company
Noah Zhang	Tyco Electronics Corp., a TE Connectivity Ltd. company
Marvin DeForest	Western Digital Technologies, Inc.
Larry McMillan	Western Digital Technologies, Inc.
Cristian Roman Del Nido	Western Digital Technologies, Inc.
Curtis Stevens	Western Digital Technologies, Inc.

CONTENTS

FOREWORD.....	2
INTRODUCTION.....	4
1 Introduction	38
1.1 Background	38
1.2 Objective of the Specification.....	38
1.3 Scope of the Document.....	38
1.4 USB Product Compliance.....	39
1.5 Document Organization	39
1.6 Design Goals	39
1.7 Related Documents.....	39
2 Terms and Abbreviations	40
3 Architectural Overview.....	48
3.1 USB 3.1 System Description	49
3.1.1 USB 3.1 Physical Interface	50
3.1.2 USB 3.1 Power.....	50
3.1.3 USB 3.1 System Configuration.....	51
3.1.4 USB 3.1 Architecture Summary	51
3.2 Enhanced SuperSpeed Bus Architecture.....	51
3.2.1 Physical Layer.....	53
3.2.2 Link Layer.....	54
3.2.3 Protocol Layer	55
3.2.4 Robustness	57
3.2.5 Enhanced SuperSpeed Power Management	57
3.2.6 Devices	58
3.2.7 Hosts.....	62
3.3 Enhanced SuperSpeed Bus Data Flow Models.....	63
4 Enhanced SuperSpeed Data Flow Model.....	63
4.1 Implementer Viewpoints.....	63
4.2 Enhanced SuperSpeed Communication Flow	64
4.2.1 Pipes	64
4.3 Enhanced SuperSpeed Protocol Overview	64
4.3.1 Differences from USB 2.0	64
4.4 Generalized Transfer Description.....	66
4.4.1 Data Bursting.....	67
4.4.2 IN Transfers	67
4.4.3 OUT Transfers.....	68
4.4.4 Power Management and Performance	69
4.4.5 Control Transfers.....	69
4.4.6 Bulk Transfers	71
4.4.7 Interrupt Transfers.....	74
4.4.8 Isochronous Transfers	75
4.4.9 Device Notifications	79
4.4.10 Reliability	79
4.4.11 Efficiency.....	79
5 Mechanical	80
5.1 Objective	80

- 5.2 Significant Features 80
 - 5.2.1 Connectors 80
 - 5.2.2 Allowed Cable Assemblies 82
 - 5.2.3 Raw Cables 82
- 5.3 Connector Mating Interfaces 82
 - 5.3.1 USB 3.1 Standard-A Connector 82
 - 5.3.2 USB 3.1 Standard-B Connector 98
 - 5.3.3 USB 3.1 Micro Connector Family 103
- 5.4 Cable Construction and Wire Assignments 111
 - 5.4.1 Cable Construction 111
 - 5.4.2 Wire Assignments 112
 - 5.4.3 Wire Gauges and Cable Diameters 113
- 5.5 Cable Assemblies 113
 - 5.5.1 USB 3.1 Standard-A to USB 3.1 Standard-B Cable Assembly 113
 - 5.5.2 USB 3.1 Standard-A to USB 3.1 Standard-A Cable Assembly 115
 - 5.5.3 USB 3.1 Standard-A to USB 3.1 Micro-B Cable Assembly 115
 - 5.5.4 USB 3.1 Micro-A to USB 3.1 Micro-B Cable Assembly 117
 - 5.5.5 USB 3.1 Micro-A to USB 3.1 Standard-B Cable Assembly 119
 - 5.5.6 USB 3.1 Icon Location 120
 - 5.5.7 Cable Assembly Length 120
- 5.6 Electrical Requirements 120
 - 5.6.1 Enhanced SuperSpeed Electrical Requirements 121
 - 5.6.2 DC Electrical Requirements 130
- 5.7 Mechanical and Environmental Requirements 130
 - 5.7.1 Mechanical Requirements 131
 - 5.7.2 Environmental Requirements 134
 - 5.7.3 Materials 134
- 5.8 Implementation Notes and Design Guides 135
 - 5.8.1 Mated Connector Dimensions 135
 - 5.8.2 EMI and RFI Management 137
 - 5.8.3 Stacked Connectors 138
- 6 Physical Layer 139
 - 6.1 Physical Layer Overview 139
 - 6.2 Physical Layer Functions 139
 - 6.2.1 Measurement Overview 143
 - 6.2.2 Channel Overview 143
 - 6.3 Symbol Encoding 144
 - 6.3.1 Gen 1 Encoding 144
 - 6.3.2 Gen 2 Encoding 146
 - 6.3.3 Special Symbols for Framing and Link Management 150
 - 6.4 Link Initialization and Training 151
 - 6.4.1 Link Training 151
 - 6.4.2 Lane Polarity Inversion 156
 - 6.4.3 Elasticity Buffer and SKP Ordered Set 156
 - 6.4.4 Compliance Pattern 158
 - 6.5 Clock and Jitter 159
 - 6.5.1 Informative Jitter Budgeting 159
 - 6.5.2 Normative Clock Recovery Function 160
 - 6.5.3 Normative Spread Spectrum Clocking (SSC) 162

6.5.4	Normative Slew Rate Limit.....	163
6.6	Signaling.....	163
6.6.1	Eye Diagrams	163
6.6.2	Voltage Level Definitions	164
6.6.3	Tx and Rx Input Parasitics.....	165
6.7	Transmitter Specifications.....	165
6.7.1	Transmitter Electrical Parameters	165
6.7.2	Low Power Transmitter	167
6.7.3	Transmitter Eye	167
6.7.4	Tx Compliance Reference Receiver Equalize Function	168
6.7.5	Informative Transmitter De-emphasis	168
6.7.6	Entry into Electrical Idle, U1	170
6.8	Receiver Specifications.....	170
6.8.1	Receiver Equalization Training	170
6.8.2	Informative Receiver CTLE Function.....	171
6.8.3	Receiver Electrical Parameters.....	174
6.8.4	Receiver Loopback	175
6.8.5	Normative Receiver Tolerance Compliance Test.....	176
6.9	Low Frequency Periodic Signaling (LFPS)	178
6.9.1	LFPS Signal Definition.....	178
6.9.2	Example LFPS Handshake for U1/U2 Exit, Loopback Exit, and U3 Wakeup	180
6.9.3	Warm Reset.....	182
6.9.4	SuperSpeedPlus Capability Declaration.....	183
6.9.5	SuperSpeedPlus LFPS Based PWM Message (LBPM).....	184
6.10	Transmitter and Receiver DC Specifications	186
6.10.1	Informative ESD Protection.....	186
6.10.2	Informative Short Circuit Requirements	186
6.10.3	Normative High Impedance Reflections	186
6.11	Receiver Detection	186
6.11.1	Rx Detect Overview	186
6.11.2	Rx Detect Sequence	187
6.11.3	Upper Limit on Channel Capacitance	187
6.12	Retimers	188
7	Link Layer	188
7.1	Byte Ordering	189
7.1.1	SuperSpeed USB Line Code.....	189
7.1.2	SuperSpeedPlus USB Line Code	189
7.2	Link Management and Flow Control	189
7.2.1	Packets and Packet Framing	190
7.2.2	Link Commands.....	198
7.2.3	Logical Idle.....	202
7.2.4	Link Command Usage for Flow Control, Error Recovery, and Power Management.....	202
7.3	Link Error Rules/Recovery	218
7.3.1	Overview of Enhanced SuperSpeed Bit Errors	218
7.3.2	Link Error Types, Detection, and Recovery	218
7.3.3	Link Error Statistics	218
7.3.4	Header Packet Errors	219

- 7.3.5 Link Command Errors 220
- 7.3.6 ACK Tx Header Sequence Number Error 221
- 7.3.7 Header Sequence Number Advertisement Error 222
- 7.3.8 SuperSpeed Rx Header Buffer Credit Advertisement Error 222
- 7.3.9 SuperSpeedPlus Type 1/Type 2 Rx Buffer Credit Advertisement Error 223
- 7.3.10 Training Sequence Error 223
- 7.3.11 SuperSpeed 8b/10b Errors 224
- 7.3.12 SuperSpeedPlus Block Header Errors 224
- 7.3.13 Summary of Error Types and Recovery 224
- 7.4 PowerOn Reset and Inband Reset 226
 - 7.4.1 PowerOn Reset 226
 - 7.4.2 Inband Reset 227
- 7.5 Link Training and Status State Machine (LTSSM) 228
 - 7.5.1 eSS.Disabled 230
 - 7.5.2 eSS.Inactive 232
 - 7.5.3 Rx.Detect 233
 - 7.5.4 Polling 236
 - 7.5.5 Compliance Mode 247
 - 7.5.6 U0 248
 - 7.5.7 U1 249
 - 7.5.8 U2 250
 - 7.5.9 U3 251
 - 7.5.10 Recovery 252
 - 7.5.11 Loopback 256
 - 7.5.12 Hot Reset 258
- 8 Protocol Layer 260
 - 8.1 Enhanced SuperSpeed Transactions 261
 - 8.1.1 Transactions on a SuperSpeed Bus Instance 261
 - 8.1.2 Transactions on a SuperSpeedPlus Bus Instance 262
 - 8.2 Packet Types 263
 - 8.3 Packet Formats 263
 - 8.3.1 Fields Common to all Headers 263
 - 8.4 Link Management Packet (LMP) 265
 - 8.4.1 Subtype Field 265
 - 8.4.2 Set Link Function 266
 - 8.4.3 U2 Inactivity Timeout 267
 - 8.4.4 Vendor Device Test 267
 - 8.4.5 Port Capabilities 268
 - 8.4.6 Port Configuration 270
 - 8.4.7 Port Configuration Response 270
 - 8.4.8 Precision Time Measurement 271
 - 8.5 Transaction Packet (TP) 284
 - 8.5.1 Acknowledgement (ACK) Transaction Packet 284
 - 8.5.2 Not Ready (NRDY) Transaction Packet 287
 - 8.5.3 Endpoint Ready (ERDY) Transaction Packet 288
 - 8.5.4 STATUS Transaction Packet 289
 - 8.5.5 STALL Transaction Packet 289
 - 8.5.6 Device Notification (DEV_NOTIFICATION) Transaction Packet 289
 - 8.5.7 PING Transaction Packet 296

8.5.8	PING_RESPONSE Transaction Packet.....	296
8.6	Data Packet (DP).....	297
8.7	Isochronous Timestamp Packet (ITP).....	299
8.8	Addressing Triple.....	300
8.9	Route String Field.....	300
8.9.1	Route String Port Field	300
8.9.2	Route String Port Field Width	300
8.9.3	Port Number	300
8.10	Transaction Packet Usages	300
8.10.1	Flow Control Conditions.....	301
8.10.2	Burst Transactions.....	301
8.10.3	Short Packets	303
8.10.4	SuperSpeedPlus Transaction Reordering	303
8.11	TP or DP Responses	305
8.11.1	Device Response to TP Requesting Data	306
8.11.2	Host Response to Data Received from a Device	306
8.11.3	Device Response to Data Received from the Host	307
8.11.4	Device Response to a SETUP DP.....	308
8.12	TP Sequences	309
8.12.1	Bulk Transactions	309
8.12.2	Control Transfers.....	338
8.12.3	Bus Interval and Service Interval	341
8.12.4	Interrupt Transactions.....	341
8.12.5	Host Timing Information.....	347
8.12.6	Isochronous Transactions.....	348
8.13	Timing Parameters.....	360
9	Device Framework.....	363
9.1	USB Device States	363
9.1.1	Visible Device States	363
9.1.2	Bus Enumeration	368
9.2	Generic Device Operations	369
9.2.1	Dynamic Attachment and Removal	369
9.2.2	Address Assignment	369
9.2.3	Configuration.....	369
9.2.4	Data Transfer	370
9.2.5	Power Management.....	370
9.2.6	Request Processing.....	372
9.2.7	Request Error	374
9.3	USB Device Requests.....	374
9.3.1	bmRequestType	374
9.3.2	bRequest.....	375
9.3.3	wValue	375
9.3.4	wIndex.....	375
9.3.5	wLength.....	375
9.4	Standard Device Requests.....	376
9.4.1	Clear Feature	379
9.4.2	Get Configuration	379
9.4.3	Get Descriptor	380
9.4.4	Get Interface	381

9.4.5	Get Status	381
9.4.6	Set Address	384
9.4.7	Set Configuration	385
9.4.8	Set Descriptor	385
9.4.9	Set Feature	386
9.4.10	Set Interface	387
9.4.11	Set Isochronous Delay	388
9.4.12	Set SEL	388
9.4.13	Synch Frame	389
9.4.14	Events and Their Effect on Device Parameters	389
9.5	Descriptors	390
9.6	Standard USB Descriptor Definitions	391
9.6.1	Device	391
9.6.2	Binary Device Object Store (BOS)	394
9.6.3	Configuration	402
9.6.4	Interface Association	403
9.6.5	Interface	404
9.6.6	Endpoint	406
9.6.7	SuperSpeed Endpoint Companion	409
9.6.8	SuperSpeedPlus Isochronous Endpoint Companion	411
9.6.9	String	412
9.7	Device Class Definitions	412
9.7.1	Descriptors	412
9.7.2	Interface(s)	413
9.7.3	Requests	413
10	Hub, Host Downstream Port, and Device Upstream Port Specification	413
10.1	Hub Feature Summary	413
10.1.1	Connecting to an Enhanced SuperSpeed Capable Host	417
10.1.2	Connecting to a USB 2.0 Host	417
10.1.3	Hub Connectivity	418
10.1.4	Resume Connectivity	420
10.1.5	Hub Fault Recovery Mechanisms	421
10.1.6	Hub Buffer Architecture	421
10.2	Hub Power Management	423
10.2.1	Link States	423
10.2.2	Hub Downstream Port U1/U2 Timers	423
10.2.3	Downstream/Upstream Port Link State Transitions	423
10.3	Hub Downstream Facing Ports	424
10.3.1	Hub Downstream Facing Port State Descriptions	427
10.3.2	Disconnect Detect Mechanism	431
10.3.3	Labeling	432
10.4	Hub Downstream Facing Port Power Management	432
10.4.1	Downstream Facing Port PM Timers	432
10.4.2	Hub Downstream Facing Port State Descriptions	433
10.5	Hub Upstream Facing Port	436
10.5.1	Upstream Facing Port State Descriptions	437
10.5.2	Hub Connect State Machine	439
10.6	Upstream Facing Port Power Management	440
10.6.1	Upstream Facing Port PM Timer	441

10.6.2	Hub Upstream Facing Port State Descriptions	442
10.7	SuperSpeed Hub Header Packet Forwarding and Data Repeater	444
10.7.1	SuperSpeed Hub Elasticity Buffer	445
10.7.2	SKP Ordered Sets	445
10.7.3	Interpacket Spacing	445
10.7.4	SuperSpeed Header Packet Buffer Architecture	445
10.7.5	SuperSpeed Packet Connectivity	446
10.8	SuperSpeedPlus Store and Forward Behavior	447
10.8.1	Hub Elasticity Buffer	447
10.8.2	SKP Ordered Sets	447
10.8.3	Interpacket Spacing	447
10.8.4	Upstream Flowing Buffering	447
10.8.5	Downstream Flowing Buffering	448
10.8.6	SuperSpeedPlus Hub Arbitration of Packets	449
10.8.7	SuperSpeedPlus Upstream Flowing Packet Modifications	451
10.8.8	SuperSpeedPlus Downstream Controller	452
10.9	Port State Machines	452
10.9.1	Port Transmit State Machine	452
10.9.2	Port Transmit State Descriptions	453
10.9.3	Port Receive State Machine	454
10.9.4	Port Receive State Descriptions	455
10.10	Suspend and Resume	460
10.11	Hub Upstream Port Reset Behavior	460
10.12	Hub Port Power Control	461
10.12.1	Multiple Gangs	461
10.13	Hub Controller	461
10.13.1	Endpoint Organization	462
10.13.2	Hub Information Architecture and Operation	462
10.13.3	Port Change Information Processing	463
10.13.4	Hub and Port Status Change Bitmap	464
10.13.5	Over-current Reporting and Recovery	465
10.13.6	Enumeration Handling	466
10.14	Hub Configuration	466
10.15	Descriptors	467
10.15.1	Standard Descriptors for Hub Class	468
10.15.2	Class-specific Descriptors	473
10.16	Requests	475
10.16.1	Standard Requests	475
10.16.2	Class-specific Requests	476
10.17	Host Root (Downstream) Ports	493
10.18	Peripheral Device Upstream Ports	493
10.18.1	Peripheral Device Upstream Ports	493
10.18.2	Peripheral Device Upstream Port State Machine	494
10.19	Hub Chapter Parameters	496
11	Interoperability and Power Delivery	498
11.1	USB 3.1 Host Support for USB 2.0	499
11.2	USB 3.1 Hub Support for USB 2.0	499
11.3	USB 3.1 Device Support for USB 2.0	500
11.4	Power Distribution	500

- 11.4.1 Classes of Devices and Connections 500
- 11.4.2 Steady-State Voltage Drop Budget 503
- 11.4.3 Power Control During Suspend/Resume 504
- 11.4.4 Dynamic Attach and Detach..... 505
- 11.4.5 VBUS Electrical Characteristics 506
- 11.4.6 Powered-B Connector..... 506
- 11.4.7 Wire Gauge Table..... 506
- A Gen 1 Symbol Encoding 508
- B Symbol Scrambling..... 514
- B.1. Data Scrambling 514
- C Power Management..... 521
- C.1. SuperSpeed Power Management Overview 521
 - C.1.1. Link Power Management 521
 - C.1.1.1. Summary of Link States 521
 - C.1.1.2. U0 – Link Active..... 522
 - C.1.1.3. U1 – Link Idle with Fast Exit..... 522
 - C.1.1.3.1. U1 Entry 522
 - C.1.1.3.2. Exiting the U1 State..... 523
 - C.1.1.4. U2 – Link Idle with Slow Exit 523
 - C.1.1.5. U3 – Link Suspend..... 525
 - C.1.2. Link Power Management for Downstream Ports 526
 - C.1.2.1. Link State Coordination and Management..... 526
 - C.1.2.2. Packet Deferring..... 526
 - C.1.2.3. Software Interface..... 527
 - C.1.3. Other Link Power Management Support Mechanisms 528
 - C.1.3.1. Packets Pending Flag 528
 - C.1.3.2. Support for Isochronous Transfers 529
 - C.1.3.3. Support for Interrupt Transfers 529
 - C.1.4. Device Power Management 529
 - C.1.4.1. Function Suspend..... 529
 - C.1.4.2. Device Suspend..... 530
 - C.1.4.3. Host Initiated Suspend..... 530
 - C.1.4.4. Host Initiated Wake from Suspend 530
 - C.1.4.5. Device Initiated Wake from Suspend..... 531
 - C.1.5. Platform Power Management Support..... 531
 - C.1.5.1. System Exit Latency and BELT 532
 - C.1.5.2. Maximum Exit Latency and PING 533
 - C.1.5.2.1. Maximum Exit Latency t1 (tMEL1)..... 533
 - C.1.5.2.2. Maximum Exit Latency t2 (tMEL2)..... 533
 - C.1.5.2.3. Maximum Exit Latency t3 (tMEL3)..... 533
 - C.1.5.2.4. Maximum Exit Latency t4 (tMEL4)..... 534
- C.2. Calculating U1 and U2 End to End Exit Latencies 534
 - C.2.1. Device Connected Directly to Host..... 535
 - C.2.1.1. Host Initiated Transition 535
 - C.2.1.2. Device Initiated Transition..... 536

C.2.2.	Device Connected Through a Hub	536
C.2.2.1.	Host Initiated Transition	536
C.2.2.2.	Device Initiated Transition.....	538
C.3.	Device-Initiated Link Power Management Policies	539
C.3.1.	Overview and Background Information.....	539
C.3.2.	Entry Conditions for U1 and U2	539
C.3.2.1.	Control Endpoints	540
C.3.2.2.	Bulk Endpoints.....	540
C.3.2.3.	Interrupt Endpoints	540
C.3.2.4.	Isochronous Endpoints.....	541
C.3.2.5.	Devices That Need Timestamp Packets	541
C.4.	Latency Tolerance Message (LTM) Implementation Example	541
C.4.1.	Device State Machine Implementation Example.....	541
C.4.1.1.	LTM-Idle State BELT.....	542
C.4.1.2.	LTM-Active State BELT.....	542
C.4.1.3.	Transitioning Between LT-States	542
C.4.1.3.1.	Transitioning From LT-idle to LT-active.....	542
C.4.1.3.2.	Transitioning From LT-active to LT-idle.....	543
C.4.2.	Other Considerations.....	543
C.5.	SuperSpeed vs. High Speed Power Management Considerations	544
D	Example Packets	545
E	Repeaters.....	547
E.1.	Overview	547
E.1.1.	Definitions	547
E.1.2.	Scope	547
E.1.2.1.	Retimers	547
E.1.2.2.	Re-drivers.....	548
E.2.	Retimer Architectural Overview and Requirement	548
E.2.1.	Architectural Overview.....	549
E.2.2.	General requirements	549
E.2.2.1.	Physical Layer Requirements.....	549
E.2.2.2.	Link Layer Requirements	550
E.2.3.	Retimer Operation	550
E.3.	Retimer Training and Status State Machine (RTSSM)	551
E.3.1.	Rx.Detect	552
E.3.1.1.	Rx.Detect Requirement.....	552
E.3.1.2.	Exit from Rx.Detect.....	553
E.3.2.	eSS.Disabled.....	553
E.3.2.1.	eSS.Disabled Requirements	553
E.3.2.2.	Exit from eSS.Disabled	553
E.3.3.	Polling	553
E.3.3.1.	Polling.SpeedDetect	554
E.3.3.1.1.	Polling.SpeedDetect Requirements.....	554
E.3.3.1.2.	Exit from Polling.SpeedDetect	555
E.3.3.2.	Polling.PortConfig.....	555

- E.3.3.2.1. Polling.PortConfig Requirements 555
- E.3.3.2.2. Exit from Polling.PortConfig 556
- E.3.3.3. Polling.RxEQ 556
- E.3.3.3.1. Polling.RxEQ Requirements 556
- E.3.3.3.2. Exit from Polling.RxEQ 556
- E.3.3.4. Polling.TSx 556
- E.3.3.4.1. Polling.TSx Requirements 556
- E.3.3.4.2. Exit from Polling.TSx 557
- E.3.3.5. The tPollingConfigurationTimeout timer has expired.Polling.Idle 557
- E.3.3.5.1. Polling.Idle Requirements 557
- E.3.3.5.2. Exit from Polling.Idle 557
- E.3.4. Compliance Mode 558
- E.3.5. U0 558
- E.3.5.1. U0 Requirements 558
- E.3.5.2. Exit from U0 558
- E.3.6. U1 558
- E.3.6.1. U1 Requirements 559
- E.3.6.2. Exit from U1 559
- E.3.7. U2 559
- E.3.7.1. U2 Requirements 560
- E.3.7.2. Exit from U2 560
- E.3.8. U3 560
- E.3.8.1. U3 Requirements 560
- E.3.8.2. Exit from U3 561
- E.3.9. Recovery 561
- E.3.10. PassThrough Loopback 562
- E.3.10.1. PassThrough Loopback Requirements 562
- E.3.10.2. Exit from PassThrough Loopback 562
- E.3.11. Local Loopback 562
- E.3.11.1. Local Loopback Requirements 563
- E.3.11.2. Exit from Local Loopback.Active 563
- E.3.11.3. Exit from Local Loopback.Exit 563
- E.3.12. Hot Reset 563
- E.3.12.1. Hot Reset Requirements 563
- E.3.12.2. Exit from Hot Reset 563
- E.4. Clock Offset Compensation 564
- E.4.1. Gen 1 Operation 564
- E.4.1.1. Underflow Clock Offset Compensation 564
- E.4.1.2. Overflow Clock Offset Compensation 564
- E.4.2. Gen 2 Operation 565
- E.5. Compliance 565
- E.5.1. Host and Device Product Compliance 565
- E.5.2. Component-Level Retimer Compliance 565

Title: USB 3.1 CTLE	567
Applied to: USB_3_1r1.0_07_31_2013.....	567
Actual Change	568
(a) Section 6.4.4, Table 6-13, page 159	568
6.7.1 Transmitter Electrical Parameters.....	570
6.7.1 Transmitter Electrical Parameters.....	571
(c) Section 6.7.5, page 168	572
6.7.5 Informative Transmitter De-emphasis	572
6.7.5.1 Gen 1 (5GT/s)	572
6.7.5.2 Gen 2 (10GT/s)	572
6.7.5 Informative Transmitter De-emphasis	575
6.7.5.1 Gen 1 (5GT/s)	575
6.7.5.2 Gen 2 (10GT/s)	575
(d) Section 6.8.2.2.1, Figure 6-25, page 173	579
(e) Section 6.8.2.2.1, Figure 6-27, page 177	581
Title: HSEQ	583
Applied to: USB_3_1r1.0_07_31_2013.....	583
Actual Change	584
Title: USB 3.1 wHubDelay.....	591
Applied to: USB_3_1r1.0_07_31_2013.....	591
Actual Change	592
Table 10-19. Hub Parameters.....	592
Title: USB 3.1 LTM	593
Applied to: USB_3_1r1.0_07_31_2013.....	593
Actual Change	594
Title: Polling LFPS.....	597
Applied to: USB_3_1r1.0_07_31_2013.....	597
Actual Change	598
Title: USB 3.1 PTM Value	603
Applied to: USB_3_1r1.0_07_31_2013.....	603
Actual Change	604
Title: SKP OS Bytes During Compliance Clarification.....	605
Applied to: USB_3_1r1.0_07_31_2013.....	605
Actual Change	606
(a) From Text (and location): Table 6-12, Section 6.4.2, page 158	606
(a) To Text (and location): Table 6-12, Section 6.4.2, page 158	606
(b) From Text (and location): Section 6.4.2, page 156	606
(c) From Text (and location): Section 6.4.2, page 156	606
Title: USB3.1 SKP Ordered Set Definition.....	607
Applied to: USB_3_1r1.0_07_31_2013.....	607
Actual Change	608
Section 6.3.2.2 Normative 128b/132b Decode Rules	608
Section 6.4.3 Elasticity Buffer and SKP Ordered Set.....	609
Section 6.4.3.2 SKP Rules (Host/Device/Hub) for Gen 2 Operation.....	610
6.8.4 Receiver Loopback.....	613

Title: SLC IS SDS 614

Applied to: USB_3_1r1.0_07_31_2013..... 614

Actual Change 615

 Section 6.3.3..... 615

 Section 6.4.1.2.2 616

Title: SSP ping.LFPS tRepeat Requirement 618

Applied to: USB_3_1r1.0_07_31_2013..... 618

Actual Change 619

Title: SSP System Jitter Budget 620

Applied to: USB_3_1r1.0_07_31_2013..... 620

Actual Change 621

 (b) From, in Section 6.7.3, Table 6-19, page 168..... 622

 (b) To, in Section 6.7.3, Table 6-19, page 168..... 622

 (c) From, in Section 6.8.5, Table 6-27, page 178..... 623

 (c) To, in Section 6.8.5, Table 6-27, page 178..... 624

Title: USB3.1 tHubDriveResume 625

Applied to: USB_3_1r1.0_07_31_2013..... 625

Actual Change 626

 Table 10-19, Hub Parameters..... 626

 10.10Suspend and Resume..... 626

Title: TSEQ Gen2 Clarification 627

Applied to: USB_3_1r1.0_07_31_2013..... 627

Actual Change 628

 (a) From Text (and location): Section 6.4.1.2.2, Page 154 628

 6.4.1.2.2Training Sequence Values for Gen 2 Operation 628

 (a) To Text (and location): Section 6.4.1.2.2, Page 154..... 628

 6.4.1.2.2Training Sequence Values for Gen 2 Operation 628

 (b) From Text (and location): Section 7.5.4.7.1, Page 242..... 629

 7.5.4.7.1Polling.RxEQ Requirements..... 629

 (b) To Text (and location): Section 7.5.4.7.1, Page 242..... 629

 7.5.4.7.1Polling.RxEQ Requirements..... 629

 (c) From Text (and location): Section 7.5.4.7.2, Page 242 630

 7.5.4.7.2Exit from Polling.RxEQ 630

 (c) To Text (and location): Section 7.5.4.7.2, Page 242..... 630

 7.5.4.7.2Exit from Polling.RxEQ 630

 (d) From Text (and location): Section 6.8.1, Page 170..... 631

 (d) To Text (and location): Section 6.8.1, Page 170..... 631

Title: USB 3.1 VBUS Max Limit 632

Applied to: USB_3_1r1.0_07_31_2013..... 632

Actual Change 633

 (a) Section 11.4.2 Steady State Voltage Drop Budget 633

 (b) Section 11.4.5 VBUS Electical Characteristics..... 634

Title: USB 3.1 VBUS Max Limit 637

Applied to: USB_3_1r1.0_07_31_2013..... 637

Actual Change Requested 638

 (a) Section 11.4.2 Steady State Voltage Drop Budget 638

(b) Section 11.4.5 VBUS Electrical Characteristics	639
Figure 2-1 – Port and Link Pictorial	48
Figure 3-1 – USB 3.1 Dual Bus System Architecture	49
Figure 3-2 – USB 3.1 Cable	50
Figure 3-3 – USB 3.1 Terminology Reference Model	52
Figure 3-4 – Enhanced SuperSpeed Bus Communications Layers and Power Management Elements	53
Figure 3-5 – Examples of Supported USB 3.1 USB Physical Device Topologies	59
Figure 3-6 – SuperSpeed Only Enhanced SuperSpeed Peripheral Device Configuration	60
Figure 3-7 – Enhanced SuperSpeed Device Configuration	60
Figure 3-8 – Multiple SuperSpeed Bus Instances in an Enhanced SuperSpeed System	62
Figure 4-1 – Enhanced SuperSpeed IN Transaction Protocol	68
Figure 4-2 – Enhanced SuperSpeed OUT Transaction Protocol	69
Figure 4-3 – Enhanced SuperSpeed IN Stream Example	72
Figure 5-1 – USB 3.1 Standard-A Receptacle Interface Dimensions	85
Figure 5-2 – Example USB 3.1 Standard-A Receptacle with Grounding Springs and Required contact zones on the Standard-A Plug	87
Figure 5-3 – Example USB 3.1 Standard-A Mid-Mount Receptacles with Insertion Detect	88
Figure 5-4 – USB 3.1 Standard-A Plug Interface Dimensions	91
Figure 5-5 – Example Footprint for the USB 3.1 Standard-A Receptacle – Through-Hole with Back-Shield	94
Figure 5-6 – Example Footprint for the USB 3.1 Standard-A Receptacle – Mid-Mount Standard Mount Through-Hole with Insertion Detect	95
Figure 5-7 – Example Footprint for the USB 3.1 Standard-A Receptacle – Mid-Mount Reverse Mount Through-Hole with Insertion Detect	96
Figure 5-8 – Illustration of Color Coding Recommendation for USB 3.1 Standard-A Connector	98
Figure 5-9 – USB 3.1 Standard-B Receptacle Interface Dimensions	100
Figure 5-10 – USB 3.1 Standard-B Plug Interface Dimensions	101
Figure 5-11 – Reference Footprint for the USB 3.1 Standard-B Receptacle	102
Figure 5-12 – USB 3.1 Micro-B and -AB Receptacles Interface Dimensions	105
Figure 5-13 – USB 3.1 Micro-B and Micro-A Plug Interface Dimensions	108
Figure 5-14 – Reference Footprint for the USB 3.1 Micro-B or Micro-AB Receptacle	110
Figure 5-15 – Illustration of a USB 3.1 Cable Cross-Section	112
Figure 5-16 – USB 3.1 Standard-A to USB 3.1 Standard-B Cable Assembly	114
Figure 5-17 – USB 3.1 Micro-B Plug Cable Overmold Dimensions	116
Figure 5-18 – USB 3.1 Micro-A Cable Overmold Dimensions	118
Figure 5-19 – Typical Plug Orientation	120
Figure 5-20 – Recommended Ground Void Dimension for USB Standard-A Receptacle	122
Figure 5-21 – Impedance Limits of a Mated Connector for Gen 2 Speed	123
Figure 5-22 – Illustration of Cable Assembly Mounted on Test Fixture	124
Figure 5-23 – Illustration of Cable Assembly with Reference Host and Device	124
Figure 5-24 – Illustration of Insertion Loss Fit at Nyquist Frequency	125

Figure 5-25 – Example of Insertion Loss Deviation 126

Figure 5-26 – Pass/Fail Examples..... 128

Figure 5-27 – Illustration of Peak-to-Peak Crosstalk 129

Figure 5-28 – Differential-to-Common-Mode Conversion Requirement for Gen 2 129

Figure 5-29 – Set Up For Cable SE Measurement (subject to change)..... 130

Figure 5-30 – 4-Axes Continuity Test 133

Figure 5-31 – Mated USB 3.1 Standard-A Connector 136

Figure 5-32 – Mated USB 3.1 Standard-B Connector 136

Figure 5-33 – Mated USB 3.1 Micro-B Connector..... 137

Figure 5-34 – Examples of Connector Apertures 138

Figure 6-1 – SuperSpeed Physical Layer 139

Figure 6-2 – Transmitter Block Diagram 140

Figure 6-3 – Gen 1 Receiver Block Diagram 141

Figure 6-4 – Gen 2 Receiver Block Diagram 142

Figure 6-5 – Channel Models 143

Figure 6-6 – Character to Symbol Mapping 144

Figure 6-7 – Bit Transmission Order 144

Figure 6-8 – LFSR with Scrambling Polynomial..... 145

Figure 6-9 – Gen 2 Serialization and Deserialization Order 146

Figure 6-10 – Gen 2 Bit Transmission Order and Framing..... 147

Figure 6-11 – LFSR for use in Gen 2 operation 149

Figure 6-12 – Jitter Filtering – “Golden PLL” and Jitter Transfer Functions..... 160

Figure 6-13 – “Golden PLL” and Jitter Transfer Functions for Gen 1 Operation 161

Figure 6-14 – “Golden PLL” and Jitter Transfer Functions for Gen 2 Operation 161

Figure 6-15 – Example of Period Modulation from Triangular SSC 162

Figure 6-16 – Eye Masks 164

Figure 6-17 – Single-ended and Differential Voltage Levels 165

Figure 6-18 – Device Termination Schematic 165

Figure 6-19 – Tx Normative Setup with Reference Channel 168

Figure 6-20 – De-Emphasis Waveform..... 169

Figure 6-21 – 3-tap Transmit Equalizer Structure 169

Figure 6-22 – Example Output Waveform for 3-tap Transmit Equalizer 170

Figure 6-23 – Frequency Spectrum of TSEQ..... 171

Figure 6-24 – Gen 1 Tx Compliance Rx EQ Transfer Function 172

Figure 6-25 – Gen 2 Compliance Rx EQ Transfer Function 173

Figure 6-26 – Gen 2 reference DFE Function..... 174

Figure 6-27 – Rx Tolerance Setup 177

Figure 6-28 – Jitter Tolerance Curve..... 177

Figure 6-29 – LFPS Signaling 179

Figure 6-30 – U1 Exit, U2 Exit, and U3 Wakeup LFPS Handshake Timing Diagram 181

Figure 6-31 – Example of Warm Reset Out of U3..... 183

Figure 6-32 – Example of Binary Representation based on Polling.LFPS 183

Figure 6-33 – SCD1/SCD2 transmission 184

Figure 6-34 – Logic Representation of LBPS	185
Figure 6-35 – LBPM Transmission Examples	186
Figure 6-36 – Rx Detect Schematic.....	187
Figure 7-1 – Link Layer	188
Figure 7-2 – Byte Ordering.....	189
Figure 7-3 – Enhanced SuperSpeed Header Packet with HPSTART, Packet Header, and Link Control Word	190
Figure 7-4 – SuperSpeedPlus DPH Format	191
Figure 7-5 – Packet Header	191
Figure 7-6 – CRC-16 Remainder Generation.....	192
Figure 7-7 – Link Control Word	193
Figure 7-8 – CRC-5 Remainder Generation	193
Figure 7-9 – Data Packet Payload with CRC-32 and Framing.....	194
Figure 7-10 – CRC-32 Remainder Generation.....	195
Figure 7-11 – Data Packet with Data Packet Header Followed by Data Packet Payload. (a) SuperSpeed DP; (b). SuperSpeedPlus DP.....	197
Figure 7-12 – Link Command Structure.....	198
Figure 7-13 – Link Command Word Structure.....	198
Figure 7-14 – State Diagram of the Link Training and Status State Machine	230
Figure 7-15 – eSS.Disabled Substate Machine	232
Figure 7-16 – eSS.Inactive Substate Machine.....	233
Figure 7-17 – Rx.Detect Substate Machine	236
Figure 7-18 – Polling Substate Machine.....	247
Figure 7-19 – U1.....	250
Figure 7-20 – U2.....	251
Figure 7-21 – U3.....	252
Figure 7-22 – Recovery Substate Machine.....	256
Figure 7-23 – Loopback Substate Machine	258
Figure 7-24 – Hot Reset Substate Machine	260
Figure 8-1 – Protocol Layer Highlighted	261
Figure 8-2 – Example Transaction Packet.....	263
Figure 8-3 – Link Control Word Detail	264
Figure 8-4 – Link Management Packet Structure	265
Figure 8-5 – Set Link Function LMP	266
Figure 8-6 – U2 Inactivity Timeout LMP	267
Figure 8-7 – Vendor Device Test LMP.....	267
Figure 8-8 – Port Capability LMP	268
Figure 8-9 – Port Configuration LMP	270
Figure 8-10 – Port Configuration Response LMP	271
Figure 8-11 – Link Delay Measurement Protocol	272
Figure 8-12 – PTM ITP Protocol.....	273
Figure 8-13 – LDM State Machine Notation.....	274
Figure 8-14 – LDM Requester State Machine.....	275
Figure 8-15 – LDM Responder State Machine.....	277

Figure 8-16 – PTM Path Performance Contributors 281

Figure 8-17 – LDM LMP 283

Figure 8-18 – ACK Transaction Packet 285

Figure 8-19 – NRDY Transaction Packet..... 288

Figure 8-20 – ERDY Transaction Packet..... 288

Figure 8-21 – STATUS Transaction Packet..... 289

Figure 8-22 – STALL Transaction Packet..... 289

Figure 8-23 – Device Notification Transaction Packet 290

Figure 8-24 – Function Wake Device Notification 290

Figure 8-25 – Latency Tolerance Message Device Notification..... 291

Figure 8-26 – Bus Interval Adjustment Message Device Notification 292

Figure 8-27 – Sublink Speed Device Notification..... 295

Figure 8-28 – PING Transaction Packet..... 296

Figure 8-29 – PING_RESPONSE Transaction Packet 297

Figure 8-30 – Example Data Packet..... 297

Figure 8-31 – Isochronous Timestamp Packet..... 299

Figure 8-32 – Route String Detail..... 300

Figure 8-33 – Sample Concurrent BULK IN Transactions 304

Figure 8-34 – Sample Concurrent BULK and Isochronous IN Transactions 305

Figure 8-35 – Legend for State Machines..... 310

Figure 8-36 – Sample BULK IN Sequence..... 312

Figure 8-37 – Sample BULK OUT Sequence..... 313

Figure 8-38 – General Stream Protocol State Machine (SPSM)..... 314

Figure 8-39 – Device IN Stream Protocol State Machine (DISPSM) 317

Figure 8-40 – Device IN Move Data State Machine (DIMDSM) 320

Figure 8-41 – Device OUT Stream Protocol State Machine (DOSPSM) 322

Figure 8-42 – Device OUT Move Data State Machine (DOMDSM)..... 325

Figure 8-43 – Host IN Stream Protocol State Machine (HISPSM)..... 328

Figure 8-44 – Host IN Move Data State Machine (HIMDSM) 330

Figure 8-45 – Host OUT Stream Protocol State Machine (HOSPSM)..... 333

Figure 8-46 – Host OUT Move Data State Machine (HOMDSM) 336

Figure 8-47 – Control Read Sequence 339

Figure 8-48 – Control Write Sequence 340

Figure 8-49 – Host Sends Interrupt IN Transaction in Each Service Interval..... 343

Figure 8-50 – Host Stops Servicing Interrupt IN Transaction Once NRDY is Received 343

Figure 8-51 – Host Resumes IN Transaction after Device Sent ERDY..... 344

Figure 8-52 – Endpoint Sends STALL TP 344

Figure 8-53 – Host Detects Error in Data and Device Resends Data 344

Figure 8-54 – Host Sends Interrupt OUT Transaction in Each Service Interval 346

Figure 8-55 – Host Stops Servicing Interrupt OUT Transaction Once NRDY is Received 346

Figure 8-56 – Host Resumes Sending Interrupt OUT Transaction After Device Sent ERDY 346

Figure 8-57 – Device Detects Error in Data and Host Resends Data 347

Figure 8-58 – Endpoint Sends STALL TP.....	347
Figure 8-59 – Multiple Active Isochronous Endpoints with Aligned Service Interval Boundaries	348
Figure 8-60 – Enhanced SuperSpeed Isochronous IN Transaction Format	349
Figure 8-61 – Enhanced SuperSpeed Isochronous OUT Transaction Format	349
Figure 8-62 – Sample Enhanced SuperSpeed Isochronous IN Transaction	350
Figure 8-63 – Sample Enhanced SuperSpeed Isochronous OUT Transaction.....	351
Figure 8-64 – Sample Enhanced SuperSpeed Isochronous IN Transaction	352
Figure 8-65 – Sample Enhanced SuperSpeed Isochronous OUT Transaction.....	353
Figure 8-66 – Sample Smart Enhanced SuperSpeed Isochronous IN Transaction	355
Figure 8-67 – Sample Smart Enhanced SuperSpeed Isochronous OUT Transaction	356
Figure 8-68 – Sample Pipeline Isochronous IN Transactions.....	358
Figure 9-1 – Peripheral State Diagram and Hub State Diagram (Enhanced SuperSpeed Portion Only)	364
Figure 9-2 – wIndex Format when Specifying an Endpoint	375
Figure 9-3 – wIndex Format when Specifying an Interface	375
Figure 9-4 – Information Returned by a Standard GetStatus() Request to a Device	382
Figure 9-5 – Information Returned by a Standard GetStatus() Request to an Interface.....	383
Figure 9-6 – Information Returned by a Standard GetStatus() Request to an Endpoint	383
Figure 9-7 – Information Returned by a PTM GetStatus() Request to an Endpoint	384
Figure 9-8 – Example of Feedback Endpoint Relationships	409
Figure 10-1 – USB Hub Architecture	414
Figure 10-2 – SuperSpeed Portion of the USB Hub Architecture	415
Figure 10-3 – SuperSpeedPlus Portion of the Hub Architecture	416
Figure 10-4 – Simple USB Topology	417
Figure 10-5 – Route String Example	419
Figure 10-6 – SuperSpeed Hub Signaling Connectivity	420
Figure 10-7 – Resume Connectivity	421
Figure 10-8 – Typical SuperSpeed Hub Header Packet Buffer Architecture.....	422
Figure 10-9 – SuperSpeed Hub Data Buffer Traffic (Header Packet Buffer Only Shown for DS Port 1)	422
Figure 10-10 – Downstream Facing Hub Port State Machine.....	425
Figure 10-11 – Downstream Facing Hub Port Power Management State Machine.....	433
Figure 10-12 – Upstream Facing Hub Port State Machine	437
Figure 10-13 – Hub Connect (HCONNECT) State Machine	439
Figure 10-14 – Upstream Facing Hub Port Power Management State Machine	441
Figure 10-15 – Example SS Hub Header Packet Buffer Architecture – Downstream Traffic.....	445
Figure 10-16 – Example SS Hub Header Packet Buffer Architecture – Upstream Traffic	446
Figure 10-17 – Logical Representation of Upstream Flowing Buffers.....	448
Figure 10-18 – Logical Representation of Downstream Flowing Buffers	448
Figure 10-19 – Port Transmit State Machine	453
Figure 10-20 – Upstream Facing Port Rx State Machine	455
Figure 10-21 – Example Hub Controller Organization.....	462

Figure 10-22 – Relationship of Status, Status Change, and Control Information to Device States 463

Figure 10-23 – Port Status Handling Method..... 464

Figure 10-24 – Hub and Port Status Change Bitmap 465

Figure 10-25 – Example Hub and Port Change Bit Sampling..... 465

Figure 10-26 – Peripheral Upstream Device Port State Machine 494

Figure 11-1 – Compound Self-powered Hub..... 501

Figure 11-2 – Low-power Bus-powered Function..... 502

Figure 11-3 – High-power Bus-powered Function..... 502

Figure 11-4 – Self-powered Function 503

Figure 11-5 – Worst-case Voltage Drop Topology (Steady State)..... 503

Figure 11-6 – Worst-case Voltage Drop Analysis Using Equivalent Resistance 504

Figure 11-7 – Typical Suspend Current Averaging Profile 505

Figure C.1 – Flow Diagram for Host Initiated Wakeup 531

Figure C.2 – Device Total Intrinsic Latency Tolerance 532

Figure C.3 – Host to Device Path Exit Latency Calculation Examples 534

Figure C.4 – Device Connected Directly to a Host..... 535

Figure C.5 – Device Connected Through a Hub 536

Figure C.6 – Downstream Host to Device Path Exit Latency with Hub 537

Figure C.7 – Upstream Device to Host Path Exit Latency with Hub 538

Figure C.8 – LT State Diagram 541

Figure C.9 – System Power during SuperSpeed and High Speed Device Data Transfers 544

Figure D.1 – Sample ERDY Transaction Packet..... 545

Figure D.2 – Sample Data Packet 545

Figure D.3 – Example placement of Gen 2 SKP Block, Idle Symbols, Link Command and Header Packet 545

Figure D.4 – Example placement of Gen 2 Data Packets and Idle Symbols..... 546

Figure E.1 – Link segment definition 547

Figure E.2 – Retimer implementation examples 548

Figure E.3 – Example high level retimer architecture in Gen 2 operation..... 549

Figure E.4 – Retimer Training and Status State Machine 552

Figure E.5 – Polling Substate Machine..... 554

Figure E.6 – Recovery Substate Machine 562

Figure E.7 – Example block diagram of a retimer operating at SuperSpeed 565

Figure 6-20 – De-Emphasis Waveform..... 572

Figure 6-21 – 3-tap Transmit Equalizer Structure 573

Figure 6-22 – Example Output Waveform for 3-tap Transmit Equalizer 573

Figure 6-20 – De-Emphasis Waveform..... 575

Figure 6-21 – 3-tap Transmit Equalizer Structure 576

Figure 6-22 – Example Output Waveform for 3-tap Transmit Equalizer 576

Figure 6-23 – Example waveforms for measuring transmitter equalization 578

Figure 6-25 – Gen 2 Compliance Rx EQ Transfer Function 579

Figure 6-25 – Gen 2 Compliance Rx EQ Transfer Function 580

Table 3-1 – Comparing Enhanced SuperSpeed Bus to USB 2.0 Bus	51
Table 5-1 – Plugs Accepted By Receptacles	81
Table 5-2 – USB 3.1 Standard-A Connector Pin Assignments	97
Table 5-3 – USB 3.1 Standard-B Connector Pin Assignments	103
Table 5-4 – USB 3.1 Micro-B Connector Pin Assignments.....	111
Table 5-5 – USB 3.1 Micro-AB/-A Connector Pin Assignments	111
Table 5-6 – Cable Wire Assignments	113
Table 5-7 – Reference Wire Gauges	113
Table 5-8 – USB 3.1 Standard-A to USB 3.1 Standard-B Cable Assembly Wiring.....	115
Table 5-9 – USB 3.1 Standard-A to USB 3.1 Standard-A Cable Assembly Wiring.....	115
Table 5-10 – USB 3.1 Standard-A to USB 3.1 Micro-B Cable Assembly Wiring	117
Table 5-11 – USB 3.1 Micro-A to USB 3.1 Micro-B Cable Assembly Wiring	119
Table 5-12 – USB 3.1 Micro-A to USB 3.1 Standard-B Cable Assembly Wiring	119
Table 5-13 – SDP Differential Insertion Loss Examples for Gen 2 speed.....	122
Table 5-14 – SDP Differential Insertion Loss Examples for Gen 2 speed with Coaxial Construction	122
Table 5-15 – Design Targets.....	124
Table 5-16 – Durability Ratings.....	131
Table 5-17 – Environmental Test Conditions	134
Table 5-18 – Reference Materials	135
Table 6-1 – Special Symbols.....	150
Table 6-2 – Gen 1 TSEQ Ordered Set.....	152
Table 6-3 – Gen 1 TS1 Ordered Set.....	152
Table 6-4 – Gen 1 TS2 Ordered Set.....	152
Table 6-5 – Gen 1/Gen 2 Link Configuration	153
Table 6-6 – Gen 2 TS1 Ordered Set.....	154
Table 6-7 – Gen 2 TS2 Ordered Set.....	155
Table 6-8 – Gen 2 TSEQ Ordered Set.....	155
Table 6-9 – Gen 2 SYNC Ordered Set	155
Table 6-10 – SDS Ordered Set	155
Table 6-11 – Gen 1 SKP Ordered Set Structure	157
Table 6-12 – Gen 2 SKP Ordered Set	158
Table 6-13 – Compliance Pattern Sequences.....	159
Table 6-14 – Gen 2 Compliance Pattern	159
Table 6-15 – Informative Jitter Budgeting at the Silicon Pads.....	160
Table 6-16 – SSC Parameters	162
Table 6-17 – Transmitter Normative Electrical Parameters.....	166
Table 6-18 – Transmitter Informative Electrical Parameters at Silicon Pads	167
Table 6-19 – Normative Transmitter Eye Mask at Test Point TP1	168
Table 6-20 – Informative Gen 2 Transmitter Equalization Settings	170
Table 6-21 – Receiver Normative Electrical Parameters.....	174
Table 6-22 – Receiver Informative Electrical Parameters	175

Table 6-23 – BRST	176
Table 6-24 – BDAT	176
Table 6-25 – BERC	176
Table 6-26 – BCNT	176
Table 6-27 – Input Jitter Requirements for Rx Tolerance Testing	178
Table 6-28 – Normative LFPS Electrical Specification	179
Table 6-29 – LFPS Transmitter Timing for SuperSpeed Designs ¹	180
Table 6-30 – LFPS Handshake Timing for U1/U2 Exit, Loopback Exit, and U3 Wakeup.....	182
Table 6-31 – Binary Representation of Polling.LFPS	183
Table 6-32 – LBPS Transmit and Receive Specification	185
Table 7-1 – CRC-16 Mapping.....	192
Table 7-2 – CRC-32 Mapping.....	196
Table 7-3 – Link Command Ordered Set Structure	198
Table 7-4 – Link Command Bit Definitions.....	199
Table 7-5 – Link Command Definitions.....	201
Table 7-6 – Logical Idle Definition.....	202
Table 7-7 – Transmitter Timers Summary	213
Table 7-8 – Link Flow Control Timers Summary	214
Table 7-9 – Valid Packet Framing Symbol Order (Sx is One of SHP, DPHP, SDP, END or EDB)	220
Table 7-10 – Valid Link Command Symbol Order	221
Table 7-11 – Error Types and Recovery.....	225
Table 7-12 – LTSSM State Transition Timeouts	229
Table 7-13 – PHY Capability LBPM.....	240
Table 8-1 – Type Field Description	264
Table 8-2 – Link Control Word Format	265
Table 8-3 – Link Management Packet Subtype Field	266
Table 8-4 – Set Link Function	267
Table 8-5 – U2 Inactivity Timer Functionality.....	267
Table 8-6 – Vendor-specific Device Test Function	268
Table 8-7 – Port Capability LMP Format	269
Table 8-8 – Port Type Selection Matrix	269
Table 8-9 – Port Configuration LMP Format (Differences with Port Capability LMP)	270
Table 8-10 – Port Configuration Response LMP Format (Differences with Port Capability LMP)	271
Table 8-11 – LDM LMP	284
Table 8-12 – Transaction Packet Subtype Field	284
Table 8-13 – ACK TP Format.....	286
Table 8-14 – NRDY TP Format (Differences with ACK TP).....	288
Table 8-15 – ERDY TP Format (Differences with ACK TP).....	288
Table 8-16 – STATUS TP Format (Differences with ACK TP).....	289
Table 8-17 – STALL TP Format (Differences with ACK TP).....	289
Table 8-18 – Device Notification TP Format (Differences with ACK TP)	290
Table 8-19 – Function Wake Device Notification	291

Table 8-20 – Latency Tolerance Message Device Notification	291
Table 8-21 – Bus Interval Adjustment Message Device Notification.....	292
Table 8-22 – Sublink Speed Device Notification	295
Table 8-23 – PING TP Format (differences with ACK TP)	296
Table 8-24 – PING_RESPONSE TP Format (Differences with ACK TP)	297
Table 8-25 – Data Packet Format (Differences with ACK TP).....	298
Table 8-26 – Isochronous Timestamp Packet Format.....	299
Table 8-27 – Device Responses to TP Requesting Data (Bulk, Control, and Interrupt Endpoints)	306
Table 8-28 – Host Responses to Data Received from a Device (Bulk, Control, and Interrupt Endpoints)	307
Table 8-29 – Device Responses to OUT Transactions (Bulk, Control, and Interrupt Endpoints)	308
Table 8-30 – Device Responses to SETUP Transactions (Only for Control Endpoints).....	309
Table 8-31 – Status Stage Responses	341
Table 8-32 – ACK TP and DPs for Pipelined Isochronous IN Transactions	357
Table 8-33 – Device Responses to Isochronous IN Transactions	359
Table 8-34 – Host Responses to IN Transactions.....	360
Table 8-35 – Device Responses to OUT Data Packets.....	360
Table 8-36 – Timing Parameters	361
Table 9-1 – Visible Enhanced SuperSpeed Device States.....	365
Table 9-2 – Preserved USB Suspend State Parameters	371
Table 9-3 – Format of Setup Data	374
Table 9-4 – Standard Device Requests	376
Table 9-5 – Standard Request Codes	377
Table 9-6 – Descriptor Types	378
Table 9-7 – Standard Feature Selectors.....	378
Table 9-8 – Standard Status Type Codes.....	382
Table 9-9 – Suspend Options.....	387
Table 9-10 – Device Parameters and Events	390
Table 9-11 – Standard Device Descriptor.....	393
Table 9-12 – BOS Descriptor	394
Table 9-13 – Format of a Device Capability Descriptor.....	394
Table 9-14 – Device Capability Type Codes.....	395
Table 9-15 – USB 2.0 Extension Descriptor	395
Table 9-16 – SuperSpeed Device Capability Descriptor	397
Table 9-17 – Container ID Descriptor	398
Table 9-18 – Platform Descriptor	399
Table 9-19 – SuperSpeedPlus Descriptor	400
Table 9-20 – PTM Capability Descriptor	402
Table 9-21 – Standard Configuration Descriptor.....	403
Table 9-22 – Standard Interface Association Descriptor	404
Table 9-23 – Standard Interface Descriptor.....	406
Table 9-24 – Standard Endpoint Descriptor.....	407

Table 9-25 – Example of Feedback Endpoint Numbers	408
Table 9-26 – SuperSpeed Endpoint Companion Descriptor	410
Table 9-27 – SuperSpeedPlus Isochronous Endpoint Companion Descriptor	411
Table 9-28 – String Descriptor Zero, Specifying Languages Supported by the Device	412
Table 9-29 – UNICODE String Descriptor	412
Table 10-1 – Downstream Facing Hub Port State Machine Diagram Legend	426
Table 10-2 – Downstream Port VBUS Requirements	428
Table 10-3 – Downstream Flowing Header Packet Processing Actions.....	456
Table 10-4 – Hub Power Operating Mode Summary	467
Table 10-5 – Enhanced SuperSpeed Hub Descriptor	474
Table 10-6 – Hub Responses to Standard Device Requests.....	476
Table 10-7 – Hub Class Requests	477
Table 10-8 – Hub Class Request Codes.....	477
Table 10-9 – Hub Class Feature Selectors	478
Table 10-10 – Hub Status Field, <i>wHubStatus</i>	480
Table 10-11 – Hub Change Field, <i>wHubChange</i>	481
Table 10-12 – Port Status Type Codes	482
Table 10-13 – Port Status Field, <i>wPortStatus</i>	483
Table 10-14 – Port Change Field, <i>wPortChange</i>	486
Table 10-15 – Extended Port Status Field, <i>dwExtPortStatus</i>	488
Table 10-16 – U1 Timeout Value Encoding	490
Table 10-17 – U2 Timeout Value Encoding	490
Table 10-18 – Downstream Port Remote Wake Mask Encoding	492
Table 10-19 – Hub Parameters	497
Table 11-1 – USB 3.0 and USB 2.0 Interoperability.....	499
Table 11-2 – DC Electrical Characteristics	506
Table 11-3 – VBUS/Gnd Wire Gauge vs. Maximum Length.....	507
Table A.1 – 8b/10b Data Symbol Codes.....	508
Table A.2 – 8b/10b Special Character Symbol Codes	514
Table C.1 – Link States and Characteristics Summary	522
Table 6-13 – Compliance Pattern Sequences.....	568
Table 6-13 – Compliance Pattern Sequences.....	569
Table 6-17 – Transmitter Normative Electrical Parameters.....	570
Table 6-17 – Transmitter Normative Electrical Parameters.....	571
Table 6-20 – Informative Gen 2 Transmitter Equalization Settings	574
Table 6-20 – Informative Gen 2 Transmitter Equalization Settings	577
Table 6-27 – Input Jitter Requirements for Rx Tolerance Testing	581
Table 6-27 – Input Jitter Requirements for Rx Tolerance Testing	582
Table 11-4 – Link Command Bit Definitions.....	587
Table 11-5 – Link Command Bit Definitions.....	588
Table 11-6 – Gen 2 SKP Ordered Set	610
Table 11-7 – Gen 2 SKP Ordered Set	611
Table 11-8 – SDS Ordered Set	616

Table 11-9 – SDS Ordered Set	617
Table 6-29 – LFPS Transmitter Timing for SuperSpeed Designs ¹	619
Table 6-29 – LFPS Transmitter Timing for SuperSpeed Designs ¹	619
Table 6-15 – Informative Jitter Budgeting at the Silicon Pads.....	621
Table 6-15 – Informative Jitter Budgeting at the Silicon Pads.....	621
Table 6-19 – Normative Transmitter Eye Mask at Test Point TP1	622
Table 6-19 – Normative Transmitter Eye Mask at Test Point TP1	622
Table 6-27 – Input Jitter Requirements for Rx Tolerance Testing	623
Table 6-27 – Input Jitter Requirements for Rx Tolerance Testing	624

NOTE All Engineering Change Notices (ECN) and Errata documents as of May 01, 2015 that pertain to this core specification follow the last page of the specification, starting on page 567.

1 Introduction

1.1 Background

The original Universal Serial Bus (USB) was driven by the need to provide a user-friendly plug-and-play way to attach external peripherals to a Personal Computer (PC). USB has gone beyond just being a way to connect peripherals to PCs. Printers use USB to interface directly to cameras. Mobile devices use USB connected keyboards and mice. USB technology commonly finds itself in automobiles, televisions, and set-top boxes. USB, as a protocol, is also being picked up and used in many nontraditional applications, such as industrial automation. And USB as a source of power has become the mobile device charging solution endorsed by international communities across the globe.

Initially, USB provided two speeds (12 Mbps and 1.5 Mbps) that peripherals could use. As PCs became increasingly powerful and able to process larger amounts of data, users needed to get more and more data into and out of their PCs. This led to the definition of the USB 2.0 specification in 2000 to provide a third transfer rate of 480 Mbps while retaining backward compatibility. By 2006, two things in the environment happened: the transfer rates of HDDs exceeded 100 MB/s, far outstripping USB 2.0's ~32 MB/s bandwidth and the amount of digital content users were creating was an ever increasing pace. USB 3.0 was the USB community's response and provided users with the ability to move data at rates up to 450 MB/s while retaining backward compatibility with USB 2.0.

Now, with the continued trend for more bandwidth driven by larger and faster storage solutions, higher resolution video, and broader use of USB as an external expansion/docking solution, USB 3.1 extends the performance range of USB up to 1 GB/s by doubling the SuperSpeed USB clock rate to 10 Gbps and enhancing data encoding efficiency.

1.2 Objective of the Specification

This document defines the latest generation USB industry standard, USB 3.1. The specification describes the protocol definition, types of transactions, bus management, and the programming interface required to design and build systems and peripherals that are compliant with this specification. USB 3.1 is primarily a performance enhancement to SuperSpeed USB 3.0 resulting in providing more than double the bandwidth for devices such as Solid State Drives and High Definition displays.

This specification refers to Enhanced SuperSpeed as a collection of features or requirements that apply to both USB 3.0 and USB 3.1 bus operation. Additionally, where specific differences exist with regard to the USB 3.0 definition of SuperSpeed features or requirements, those differences will be uniquely identified as SuperSpeedPlus (or SSP) features or requirements – generally, “SuperSpeed” is in reference to 5 Gbps operation and “SuperSpeedPlus” is in reference to 10 Gbps operation.

USB 3.1's goal remains to enable devices from different vendors to interoperate in an open architecture, while maintaining and leveraging the existing USB infrastructure (device drivers, software interfaces, etc.). The specification is intended as an enhancement to the PC architecture, spanning portable, business desktop, and home environments, as well as simple device-to-device communications. It is intended that the specification allow system OEMs and peripheral developers adequate room for product versatility and market differentiation without the burden of carrying obsolete interfaces or losing compatibility.

1.3 Scope of the Document

The specification is primarily targeted at peripheral developers and platform/adapter developers, but provides valuable information for platform operating system/BIOS/device driver, adapter IHVs/ISVs, and system OEMs. This specification can be used for developing new products and associated software.

Product developers using this specification are expected to know and understand the USB 2.0 Specification. Specifically, USB 3.1 devices must implement device framework commands and descriptors as defined in the USB 2.0 Specification. Devices operating at the new 10 Gbps (Gen 2) speed must implement the SuperSpeedPlus enhancements defined in this version of the specification.

1.4 USB Product Compliance

Adopters of the USB 3.1 specification have signed the USB 3.0 Adopters Agreement, which provides them access to a reasonable and nondiscriminatory (RANDZ) license from the Promoters and other Adopters to certain intellectual property contained in products that are compliant with the USB 3.1 specification. Adopters can demonstrate compliance with the specification through the testing program as defined by the USB Implementers Forum (USB-IF). Products that demonstrate compliance with the specification will be granted certain rights to use the USB-IF logos as defined in the logo license.

Starting with USB 3.1, product compliance requirements are being tightened up to prohibit non-certified cables and connectors. Use of any registered icons or logos on products, documentation or packaging will require a license and license requirements will include passing specific product certification.

1.5 Document Organization

Chapters 1 through 4 provide an overview for all readers, while Chapters 5 through 11 contain detailed technical information defining USB 3.1.

Readers should contact operating system vendors for operating system bindings specific to USB 3.1.

1.6 Design Goals

USB 3.0 was a revolutionary step for USB. USB 3.1 is the next evolutionary step to increase the bandwidth. The goal remains the same; end users view it as the same as they viewed USB 2.0 and USB 3.0, just faster. Several key design areas to meet this goal are listed below:

Preserve the USB model of smart host and simple device.

- Leverage the existing USB infrastructure. There are a vast number of USB products in use today. A large part of their success can be traced to the existence of stable software interfaces, easily developed software device drivers, and a number of generic standard device class drivers (HID, mass storage, audio, etc.). Enhanced SuperSpeed USB devices are designed to keep this software infrastructure intact so that developers of peripherals can continue to use the same interfaces and leverage all of their existing development work.
- Significantly improve power management. Reduce the active power when sending data and reduce idle power by providing a richer set of power management mechanisms to allow devices to drive the bus into lower power states.
- Ease of use has always been and remains a key design goal for all varieties of USB.
- Preserve the investment. There are a large number of PCs in use that support only USB 2.0. There are a larger number of USB 2.0 peripherals in use. Retaining backward compatibility at the Type-A connector to allow Enhanced SuperSpeed devices to be used, albeit at a lower speed, with USB 2.0 PCs and allow high speed devices with their existing cables to be connected to the USB 3.1 SuperSpeed Type-A connectors.
- Features that allow the host controller to take advantage of the USB 3.1 speed without any change to the OS.

1.7 Related Documents

Universal Serial Bus Specification, Revision 2.0

USB On-the-Go Supplement to the USB 2.0 Specification, Revision 1.3

USB On-the-Go and Embedded Host Supplement to the USB 3.0 Specification, Revision 1.0

Universal Serial Bus Micro-USB Cables and Connectors Specification, Revision 1.01

EIA-364-1000.01: Environmental Test Methodology for Assessing the Performance of Electrical Connectors and Sockets Used in Business Office Applications

USB 3.0 Connectors and Cable Assemblies Compliance Document

USB SuperSpeed Electrical Test Methodology white paper

USB 3.0 Jitter Budgeting white paper

INCITS TR-35-2004, INCITS Technical Report for Information Technology – Fibre Channel – Methodologies for Jitter and Signal Quality Specification (FC-MJSQ)

Universal Serial Bus 3.0 Specification (including errata and ECNs through May 1, 2011)

Universal Serial Bus Power Delivery Specification, Revision 1.0 Including Errata through 31-October-2012

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

INTERFACES DE BUS UNIVERSEL EN SÉRIE POUR LES DONNÉES ET L'ALIMENTATION ÉLECTRIQUE –

Partie 3-1: Spécification du bus universel en série 3.1

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 62680-3-1 a été établie par le domaine technique 14: Interfaces et méthodes de mesure pour les équipements d'ordinateur personnel, du comité d'études 100 de l'IEC: Systèmes et équipements audio, vidéo et services de données.

Le texte de cette norme a été élaboré par l'USB Implementers Forum (USB-IF). Les règles structurelles et rédactionnelles utilisées dans la présente publication reflètent les pratiques en vigueur au sein de l'organisme responsable de sa soumission.

La présente version bilingue (2022-01) correspond à la version anglaise monolingue publiée en 2017-03.

La version française de cette norme n'a pas été soumise au vote.

Une liste de toutes les parties de la série IEC 62680, publiées sous le titre général *Interfaces de bus universel en série pour les données et l'alimentation électrique*, se trouve sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

La série IEC 62680 est issue d'une série de spécifications initialement établies par l'USB Implementers Forum (USB-IF). Ces spécifications ont été soumises à l'IEC dans le cadre d'un accord particulier conclu entre l'IEC et l'USB-IF.

L'USB Implementers Forum, Inc. (USB-IF) est un organisme à but non lucratif fondé par le groupe de sociétés qui a développé la spécification du bus universel en série. L'USB-IF a été créé pour fournir une plateforme de soutien et de forum pour le progrès et l'adoption de la technologie du bus universel en série. Le forum facilite le développement de périphériques (dispositifs) USB compatibles et de haute qualité et promeut les avantages de la technologie USB et la qualité des produits qui ont été validés par des essais de conformité.

TOUTES LES SPÉCIFICATIONS USB VOUS SONT FOURNIES "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, Y COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADÉQUATION À UN USAGE PARTICULIER. L'USB IMPLEMENTERS FORUM ET LES AUTEURS DE L'ENSEMBLE DES SPÉCIFICATIONS USB DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION.

LA MISE À DISPOSITION D'UNE SPÉCIFICATION USB, QUELLE QU'ELLE SOIT, N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.

La conclusion des accords des adoptants de l'USB peut toutefois permettre à une société signataire de participer à un accord de licence réciproque RAND-Z pour les produits conformes. Pour plus d'informations, se rendre sur:

<http://www.usb.org/developers/docs/>

http://www.usb.org/developers/devclass_docs#approved

L'IEC NE PREND AUCUNE POSITION QUANT À SAVOIR S'IL VOUS EST CONSEILLÉ DE CONCLURE UN QUELCONQUE ACCORD DES ADOPTANTS DE L'USB OU DE PARTICIPER À L'USB IMPLEMENTERS FORUM.

Spécification du bus universel en série 3.1

Hewlett-Packard Company

Intel Corporation

Microsoft Corporation

Renesas Corporation

ST-Ericsson

Texas Instruments

Révision 1.0
26 juillet 2013

Historique des révisions

Révision	Commentaires	Date de publication
1.0	Version initiale. USB 3.0	12 novembre 2008
	Errata et ECN inclus	6 juin 2011
1.0	Version initiale. USB 3.1	26 juillet 2013

DENI DE RESPONSABILITÉ CONCERNANT LA PROPRIÉTÉ INTELLECTUELLE

LA PRÉSENTE SPÉCIFICATION VOUS EST FOURNIE "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, EN CE COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADAPTATION À UN USAGE PARTICULIER. LES AUTEURS DE LA PRÉSENTE SPÉCIFICATION DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION. LA DISPOSITION DE LA PRÉSENTE SPÉCIFICATION N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.

Envoyer les commentaires à techsup@usb.org

Pour plus d'informations, se rendre sur le site web de l'USB Implementers Forum à l'adresse <http://www.usb.org>

Tous les noms de produits sont des marques, des marques déposées ou des marques de service de leurs propriétaires respectifs.

Copyright © 2007-2013, Hewlett-Packard Company, Intel Corporation, Microsoft Corporation, Renesas Corporation, ST-Ericsson, et Texas Instruments.

Tous droits réservés.

Reconnaissance de la contribution technique

Dédicace

Dédié à la mémoire de Brad Hosler, dont les réalisations ont grandement contribué à faire du bus universel en série l'une des innovations technologiques les plus réussies de l'ère de l'ordinateur personnel.

Les auteurs de la présente spécification souhaiteraient remercier les personnes suivantes pour leur participation aux groupes de travail techniques de la spécification du bus USB 3.0. Nous tenons également à remercier les nombreux autres intervenants dans l'ensemble de l'industrie qui ont émis des commentaires et contribué à l'élaboration de la présente spécification.

Employés d'entreprises promotrices

Alan Berkema	Hewlett-Packard Company
Walter Fry	Hewlett-Packard Company
Anthony Hudson	Hewlett-Packard Company
David Roderick	Hewlett-Packard Company
Kok Hong Chan	Intel Corporation
Huimin Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Dan Froelich	Intel Corporation
Howard Heck	Intel Corporation
Brad Hosler	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
John Keys	Intel Corporation
Yun Ling	Intel Corporation
Andy Martwick	Intel Corporation
Steve McGowan	Intel Corporation
Ramin Neshati	Intel Corporation
Duane Quiet	Intel Corporation
Jeff Ravencraft	Intel Corporation
Brad Saunders	Intel Corporation
Joe Schaefer	Intel Corporation
Sarah Sharp	Intel Corporation
Micah Sheller	Intel Corporation
Gary Solomon	Intel Corporation
Karthi Vadivelu	Intel Corporation
Clint Walker	Intel Corporation
Jim Walsh	Intel Corporation
Randy Aull	Microsoft Corporation
Fred Bhesania	Microsoft Corporation
Martin Borve	Microsoft Corporation
Jim Bovee	Microsoft Corporation
Stephen Cooper	Microsoft Corporation
Lars Giusti	Microsoft Corporation

Robbie Harris	Microsoft Corporation
Allen Marshall	Microsoft Corporation
Kiran Muthabattulla	Microsoft Corporation
Tomas Perez-Rodriguez	Microsoft Corporation
Mukund Sankaranarayan	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Glen Slick	Microsoft Corporation
David Wooten	Microsoft Corporation
Rob Young	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Hiroshi Kariya	NEC Corporation
Masami Katagiri	NEC Corporation
Yuichi Mizoguchi	NEC Corporation
Kats Nakazawa	NEC Corporation
Nobuyuki Mizukoshi	NEC Corporation
Yutaka Noguchi	NEC Corporation
Hajime Nozaki	NEC Corporation
Kenji Oguma	NEC Corporation
Satoshi Ohtani	NEC Corporation
Takanori Saeki	NEC Corporation
Eiji Sakai	NEC Corporation
Hiro Sakamoto	NEC Corporation
Hajime Sakuma	NEC Corporation
Makoto Sato	NEC Corporation
Hock Seow	NEC Corporation
"Peter" Chu Tin Teng	NEC Corporation
Yoshiyuki Tomoda	NEC Corporation
Satomi Yamauchi	NEC Corporation
Yoshiyuki Yamada	NEC Corporation
Susumu Yasuda	NEC Corporation
Alan Chang	ST-NXP Wireless
Wing Yan Chung	ST-NXP Wireless
Socol Constantin	ST-NXP Wireless
Knud Holtvoeth	NXP Semiconductors, B.V.
Linus Kerk	ST-NXP Wireless
Martin Klein	NXP Semiconductors, B.V.
Geert Knapen	NXP Semiconductors, B.V.
Chee Ee Lee	ST-NXP Wireless
Christian Paquet	NXP Semiconductors, B.V.
Veerappan Rajaram	ST-NXP Wireless
Shaun Reemeyer	ST-NXP Wireless
Dave Sroka	ST-NXP Wireless
Chee-Yen TEE	ST-NXP Wireless
Jerome Tjia	ST-NXP Wireless
Bart Vertenten	NXP Semiconductors, B.V.
Hock Meng Yeo	ST-NXP Wireless

Olivier Alavoine	Texas Instruments.
David Arciniega	Texas Instruments
Richard Baker	Texas Instruments
Sujoy Chakravarty	Texas Instruments
T. Y. Chan	Texas Instruments
Romit Dasgupta	Texas Instruments.
Alex Davidson	Texas Instruments
Eric Desmarchelier	Texas Instruments
Christophe Gautier	Texas Instruments
Dan Harmon	Texas Instruments
Will Harris	Texas Instruments
Richard Hubbard	Texas Instruments
Ivo Huber	Texas Instruments
Scott Kim	Texas Instruments
Grant Ley	Texas Instruments
Karl Muth	Texas Instruments
Lee Myers	Texas Instruments
Julie Nirchi	Texas Instruments
Wes Ray	Texas Instruments
Matthew Rowley	Texas Instruments
Bill Sherry	Texas Instruments
Mitsuru Shimada	Texas Instruments
James Skidmore	Texas Instruments
Yoram Solomon	Texas Instruments.
Sue Vining	Texas Instruments
Jin-sheng Wang	Texas Instruments
Roy Wojciechowski	Texas Instruments

Employés d'entreprises contributrices

Glen Chandler	Acon
John Chen	Acon
Roger Hou	Acon
Charles Wang	Acon
Norman Wu	Acon
Steven Yang	Acon
George Yee	Acon
George Olear	Contech Research
Sophia Liu	Electronics Testing Center, Taiwan (ETC)
William Northey	FCI
Tom Sultzer	FCI
Garry Biddle	Foxconn
Kuan-Yu Chen	Foxconn
Jason Chou	Foxconn
Gustavo Duenas	Foxconn
Bob Hall	Foxconn

Jiayong He	Foxconn
Jim Koser	Foxconn
Joe Ortega	Foxconn
Ash Raheja	Foxconn
James Sabo	Foxconn
Pei Tsao	Foxconn
Kevin Walker	Foxconn
Tsuneki Watanabe	Foxconn
Chong Yi	Foxconn
Taro Hishinuma	Hirose Electric
Kaz Ichikawa	Hirose Electric
Ryozo Koyama	Hirose Electric
Karl Kwiat	Hirose Electric
Tadashi Sakaizawa	Hirose Electric
Shinya Tono	Hirose Electric
Eiji Wakatsuki	Hirose Electric
Takashi Ehara	Japan Aviation Electronics Industry Ltd. (JAE)
Ron Muir	Japan Aviation Electronics Industry Ltd. (JAE)
Kazuhiro Saito	Japan Aviation Electronics Industry Ltd. (JAE)
Hitoshi Kawamura	Mitsumi
Takashi Kawasaki	Mitsumi
Atsushi Nishio	Mitsumi
Yasuhiko Shinohara	Mitsumi
Tom Lu	Molex Inc.
Edmund Poh	Molex Inc.
Scott Sommers	Molex Inc.
Jason Squire	Molex Inc.
Dat Ba Nguyen	NTS/National Technical System
Jan Fahlund	Nokia
Richard Petrie	Nokia
Panu Ylihaavisto	Nokia
Martin Furuhjelm	Seagate Technology LLC
Julian Gorfajn	Seagate Technology LLC
Marc Hildebrant	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Harold To	Seagate Technology LLC
Robert Lefferts	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Daniel Weinlader	Synopsys, Inc.
Mike Engbretson	Tektronix, Inc.
Thomas Grzysiewicz	Tyco Electronics
Masaaki Iwasaki	Tyco Electronics
Kazukiyo Osada	Tyco Electronics
Hiroshi Shirai	Tyco Electronics
Scott Shuey	Tyco Electronics
Masaru Ueno	Tyco Electronics

Les auteurs de la présente spécification souhaiteraient remercier les personnes suivantes pour leur participation aux groupes de travail techniques de la spécification du bus USB 3.1. Nous tenons également à remercier les nombreux autres intervenants dans l'ensemble de l'industrie qui ont émis des commentaires et contribué à l'élaboration de la présente spécification.

Employés d'entreprises promotrices

Alan Berkema	Hewlett Packard
Norton Ewart	Hewlett Packard
Monji Jabori	Hewlett Packard
Rahul Lakdawala	Hewlett Packard
Jim Mann	Hewlett Packard
Linden McClure	Hewlett Packard
Mike Bell	Intel Corporation
Huimin Chen	Intel Corporation
Kuan-Yu Chen	Intel Corporation
Bob Dunstan	Intel Corporation
Benjamin Graniello	Intel Corporation
Howard Heck	Intel Corporation
John Howard	Intel Corporation
Rahman Ismail	Intel Corporation
Yun Ling	Intel Corporation
Steve Mcgowan	Intel Corporation
Sridharan Ranganathan	Intel Corporation
Kaleb Ruof	Intel Corporation
Brad Saunders	Intel Corporation
Sarah Sharp	Intel Corporation
Ronald Swartz	Intel Corporation
Jennifer Tsai	Intel Corporation
Karthi Vadivelu	Intel Corporation
Randy Aull	Microsoft Corporation
Vivek Gupta	Microsoft Corporation
Toby Nixon	Microsoft Corporation
Yang You	Microsoft Corporation
Nobuo Furuya	Renesas Electronics Corp.
Masami Katagiri	Renesas Electronics Corp.
Steven Kawamoto	Renesas Electronics Corp.
Kiichi Muto	Renesas Electronics Corp.
Peter Teng	Renesas Electronics Corp.
Hicham Bouzekri	ST-Ericsson
Morten Christiansen	ST-Ericsson
Grant Ley	Texas Instruments
James Skidmore	Texas Instruments
Sue Vining	Texas Instruments
Tod Wolf	Texas Instruments
Li Yang	Texas Instruments

Employés d'entreprises contributrices

Jason Chen	Aces Electronics Co., Ltd.
Andy Feng	Aces Electronics Co., Ltd.
Chris Kao	Aces Electronics Co., Ltd.
Glen Chandler	ACON, Advanced-Connectek, Inc.
Alan MacDougall	ACON, Advanced-Connectek, Inc.
Shadi Barakat	Advanced Micro Devices
Walter Fry	Advanced Micro Devices
Will Harris	Advanced Micro Devices
Jason Hawken	Advanced Micro Devices
Hugo Lamarche	Advanced Micro Devices
Yufei Ma	Advanced Micro Devices
Joseph Scanlon	Advanced Micro Devices
Vishant Tyagi	Advanced Micro Devices
Min Wang	Advanced Micro Devices
James Choate	Agilent Technologies, Inc.
Thorsten Goetzmann	Agilent Technologies, Inc.
Takuya Hirato	Agilent Technologies, Inc.
Hiroshi Kanda	Agilent Technologies, Inc.
Donald Schoenecker	Agilent Technologies, Inc.
Chi Chang	ASMedia Technology Inc.
Chin Chang	ASMedia Technology Inc.
Chiahsin Chen	ASMedia Technology Inc.
Weber Chuang	ASMedia Technology Inc.
Ming-Wei Hsu	ASMedia Technology Inc.
Han Sung Kuo	ASMedia Technology Inc.
ShuYu Lin	ASMedia Technology Inc.
Luke Peng	ASMedia Technology Inc.
Daniel Wei	ASMedia Technology Inc.
ShengChung Wu	ASMedia Technology Inc.
Ted Hsiao	Bizlink Technology, Inc.
Pete Burgers	DisplayLink (UK) Ltd.
Dan Ellis	DisplayLink (UK) Ltd.
Richard Petrie	DisplayLink (UK) Ltd.
Terry Little	Foxconn / Hon Hai
Steve Sedio	Foxconn / Hon Hai
Tim Barilovits	Fresco Logic Inc.
Bob McVay	Fresco Logic Inc.
Christopher Meyers	Fresco Logic Inc.
Jie Ni	Fresco Logic Inc.
Jeffrey Yang	Fresco Logic Inc.
Jing-Fan Zhang	Fresco Logic Inc.
Mike Engbretson	Granite River Labs
Kunia Aihara	Hirose Electric Co., Ltd.
Kazu Ichikawa	Hirose Electric Co., Ltd.
Masaru Kawamura	Hirose Electric Co., Ltd.

William MacKillop	Hirose Electric Co., Ltd.
Sho Nakamura	Hirose Electric Co., Ltd.
Toshiyuki Takada	Hirose Electric Co., Ltd.
Sid Tono	Hirose Electric Co., Ltd.
Tirumal Annamaneni	Intersil Corporation
Colby Keith	Intersil Corporation
Gourgen Oganessyan	Intersil Corporation
Michael Vrazel	Intersil Corporation
Toshiyuki Moritake	Japan Aviation Electronics Industry Ltd. (JAE)
Takeharu Naito	Japan Aviation Electronics Industry Ltd. (JAE)
Mark Saubert	Japan Aviation Electronics Industry Ltd. (JAE)
Toshio Shimoyama	Japan Aviation Electronics Industry Ltd. (JAE)
Takamitsu Wada	Japan Aviation Electronics Industry Ltd. (JAE)
Roy Chestnut	LeCroy Corporation
Christopher Forker	LeCroy Corporation
Linden Hsu	LeCroy Corporation
Daniel H Jacobs	LeCroy Corporation
David Li	LeCroy Corporation
Mike Micheletti	LeCroy Corporation
Michael Romm	LeCroy Corporation
Chris Webb	LeCroy Corporation
Tomoki Harada	Lenovo
Ariel Delos Reyes	Lotes Co., Ltd.
Smark Huo	Lotes Co., Ltd.
Regina Liu-Hwang	Lotes Co., Ltd.
Harvey Newman	LSI Corporation
Dave Thompson	LSI Corporation
Srinivas Vura	LSI Corporation
Josue Castillo	Luxshare-ICT
Alan Kinningham	Luxshare-ICT
John Lin	Luxshare-ICT
Stone Lin	Luxshare-ICT
Pat Young	Luxshare-ICT
John Garney	MCCI Corporation
Peter Harrison	Nokia Corporation
Mika Tolvanen	Nokia Corporation
Panu Ylihaavisto	Nokia Corporation
Jason Chen	NXP Semiconductors
Gerrit den Besten	NXP Semiconductors
Bart Vertenten	NXP Semiconductors
Ho Wai Wong-Lam	NXP Semiconductors
Jagoun Koo	Samsung Electronics Co., Ltd.
Cheolho Lee	Samsung Electronics Co., Ltd.
Jun Bum Lee	Samsung Electronics Co., Ltd.
Alvin Cox	Seagate Technology LLC
Steven Davis	Seagate Technology LLC

Bahar Ghaffari	Seagate Technology LLC
Henry (John) Hein	Seagate Technology LLC
Tony Priborsky	Seagate Technology LLC
Tom Skaar	Seagate Technology LLC
Dan Smith	Seagate Technology LLC
Mark Bohm	SMSC
Jerome DeRoo	STMicroelectronics
Benoit Mercier	STMicroelectronics
Subramaniam Aravindhan	Synopsys, Inc.
Bala Babu	Synopsys, Inc.
Sanjay Dave	Synopsys, Inc.
Gervais Fong	Synopsys, Inc.
Kevin Heilman	Synopsys, Inc.
Eric Huang	Synopsys, Inc.
Behram Minwalla	Synopsys, Inc.
Saleem Mohammad	Synopsys, Inc.
Matthew Myers	Synopsys, Inc.
Tri Nguyen	Synopsys, Inc.
John Stonick	Synopsys, Inc.
Zongyao Wen	Synopsys, Inc.
Paul Wyborny	Synopsys, Inc.
Sarah Boen	Tektronix, Inc.
Darren Gray	Tektronix, Inc.
Srikrishna N.H.	Tektronix, Inc.
Randy White	Tektronix, Inc.
Jim McGrath	Tyco Electronics Corp., a TE Connectivity Ltd. company
Josh Moody	Tyco Electronics Corp., a TE Connectivity Ltd. company
Scott Shuey	Tyco Electronics Corp., a TE Connectivity Ltd. company
Egbert Stellinga	Tyco Electronics Corp., a TE Connectivity Ltd. company
Noah Zhang	Tyco Electronics Corp., a TE Connectivity Ltd. company
Marvin DeForest	Western Digital Technologies, Inc.
Larry McMillan	Western Digital Technologies, Inc.
Cristian Roman Del Nido	Western Digital Technologies, Inc.
Curtis Stevens	Western Digital Technologies, Inc.

SOMMAIRE

AVANT-PROPOS.....	640
INTRODUCTION.....	642
1 Introduction	677
1.1 Contexte	677
1.2 Objectif de la spécification	677
1.3 Domaine d'application du document.....	678
1.4 Conformité des produits à l'USB	678
1.5 Organisation du document	678
1.6 Objectifs de conception.....	679
1.7 Documents connexes.....	679
2 Termes et abréviations	680
3 Vue d'ensemble de l'architecture	689
3.1 Description du système USB 3.1	689
3.1.1 Interface physique USB 3.1	691
3.1.2 Alimentation USB 3.1.....	692
3.1.3 Configuration du système USB 3.1	692
3.1.4 Récapitulatif de l'architecture USB 3.1.....	693
3.2 Architecture du bus Enhanced SuperSpeed	693
3.2.1 Couche physique	696
3.2.2 Couche de liaison	698
3.2.3 Couche protocole	698
3.2.4 Robustesse	700
3.2.5 Gestion de l'alimentation Enhanced SuperSpeed	701
3.2.6 Dispositifs.....	703
3.2.7 Hôtes.....	708
3.3 Modèles de flux de données du bus Enhanced SuperSpeed	708
4 Modèle de flux de données Enhanced SuperSpeed	709
4.1 Points de vue des responsables de la mise en œuvre	709
4.2 Flux de communication Enhanced SuperSpeed.....	710
4.2.1 Canaux.....	710
4.3 Vue d'ensemble du protocole Enhanced SuperSpeed	710
4.3.1 Différences par rapport à l'USB 2.0.....	710
4.4 Description du transfert généralisé.....	712
4.4.1 Salve de données	713
4.4.2 Transferts IN	714
4.4.3 Transferts OUT.....	715
4.4.4 Gestion de l'alimentation et performances	716
4.4.5 Transferts de contrôle.....	717
4.4.6 Transferts en masse	718
4.4.7 Transferts d'interruption.....	722
4.4.8 Transferts isochrones	725
4.4.9 Notifications de dispositif.....	729
4.4.10 Fiabilité	729
4.4.11 Rendement.....	729
5 Mécanique.....	730
5.1 Objectif.....	730

5.2	Fonctions importantes.....	730
5.2.1	Connecteurs	730
5.2.2	Ensembles câble-connecteur admis.....	732
5.2.3	Câbles bruts	732
5.3	Interfaces de couplage de connecteurs	733
5.3.1	Connecteur USB 3.1 Standard-A	733
5.3.2	Connecteur USB 3.1 Standard-B	750
5.3.3	Famille de connecteurs USB 3.1 Micro	755
5.4	Construction des câbles et affectation des fils.....	767
5.4.1	Construction des câbles	767
5.4.2	Affectation des fils	769
5.4.3	Calibres de fil et diamètres de câble	769
5.5	Ensembles câble-connecteur	770
5.5.1	Ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Standard-B	770
5.5.2	Ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Standard-A	771
5.5.3	Ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Micro-B	772
5.5.4	Ensemble câble-connecteur USB 3.1 Micro-A vers USB 3.1 Micro-B	774
5.5.5	Ensemble câble-connecteur USB 3.1 Micro-A vers USB 3.1 Standard-B	776
5.5.6	Emplacement de l'icône USB 3.1	777
5.5.7	Longueur de l'ensemble câble-connecteur	778
5.6	Exigences électriques	779
5.6.1	Exigences électriques de l'Enhanced SuperSpeed.....	779
5.6.2	Exigences électriques en courant continu	791
5.7	Exigences mécaniques et environnementales	791
5.7.1	Exigences mécaniques	791
5.7.2	Exigences environnementales	795
5.7.3	Matériaux	796
5.8	Notes d'implémentation et guides de conception.....	797
5.8.1	Dimensions des connecteurs couplés	797
5.8.2	Gestion des EMI et des RFI.....	799
5.8.3	Connecteurs empilés	801
6	Couche physique	801
6.1	Vue d'ensemble de la couche physique.....	802
6.2	Fonctions de la couche physique	802
6.2.1	Vue d'ensemble des mesurages	807
6.2.2	Vue d'ensemble des canaux	807
6.3	Codage de symboles	807
6.3.1	Codage Gen 1	807
6.3.2	Codage Gen 2	810
6.3.3	Symboles spéciaux pour la mise en trames et la gestion des liaisons	814
6.4	Initialisation et formation des liaisons.....	815
6.4.1	Formation des liaisons.....	815
6.4.2	Inversion de polarité des voies	821
6.4.3	Mémoire tampon d'élasticité et ensemble ordonné SKP	822
6.4.4	Modèle de conformité	824
6.5	Horloge et gigue	825
6.5.1	Budget informatif de la gigue	825

6.5.2	Fonction de récupération d'horloge normalisée	826
6.5.3	Horloge à spectre étalé (SSC) normative	829
6.5.4	Limite de la vitesse de balayage normative	830
6.6	Signalisation	830
6.6.1	Diagrammes de l'œil	830
6.6.2	Définition des niveaux de tension	831
6.6.3	Parasites des entrées Tx et Rx	832
6.7	Caractéristiques de l'émetteur	833
6.7.1	Paramètres électriques de l'émetteur	833
6.7.2	Emetteur basse puissance	836
6.7.3	Œil de l'émetteur	836
6.7.4	Fonction d'égalisation du récepteur de référence de conformité Tx	837
6.7.5	Désaccentuation d'émetteur informative	837
6.7.6	Entrée dans l'état Electrical Idle, U1	839
6.8	Spécifications du récepteur	840
6.8.1	Formation d'égalisation du récepteur	840
6.8.2	Fonction CTLE du récepteur informative	841
6.8.3	Paramètres électriques du récepteur	844
6.8.4	Bouclage du récepteur	846
6.8.5	Essai de conformité de la tolérance du récepteur normatif	848
6.9	Signalisation périodique de basse fréquence (LFPS)	850
6.9.1	Définition du signal LFPS	850
6.9.2	Exemple de négociation LFPS pour la sortie de l'état U1/U2, la sortie de l'état Loopback et le réveil à partir de l'état U3	853
6.9.3	Warm Reset	855
6.9.4	Déclaration de compatibilité SuperSpeedPlus	856
6.9.5	Message MLI fondé sur LFPS (LBPM) SuperSpeedPlus	858
6.10	Caractéristiques de courant continu de l'émetteur et du récepteur	859
6.10.1	Protection contre les ESD à valeur informative	859
6.10.2	Exigences en matière de courts-circuits à valeur normative	860
6.10.3	Réflexions à haute impédance à valeur normative	860
6.11	Détection du récepteur	860
6.11.1	Vue d'ensemble de la détection du Rx	860
6.11.2	Séquence de détection du Rx	861
6.11.3	Limite supérieure de la capacité du canal	861
6.12	Resynchroniseurs	861
7	Couche de liaison	862
7.1	Ordonnancement des octets	863
7.1.1	Code en ligne de l'USB SuperSpeed	864
7.1.2	Code en ligne de l'USB SuperSpeedPlus	864
7.2	Gestion des liaisons et commande de flux	864
7.2.1	Paquets et mise en trames des paquets	865
7.2.2	Commandes de liaison	876
7.2.3	Inactivité logique	882
7.2.4	Utilisation des commandes de liaison pour la commande de flux, le rétablissement sur erreur et la gestion de l'alimentation	883
7.3	Règles relatives aux erreurs de liaison/récupération	901
7.3.1	Vue d'ensemble des erreurs binaires Enhanced SuperSpeed	901
7.3.2	Types d'erreurs de liaison, détection et récupération	902

7.3.3	Statistiques d'erreurs de liaison	902
7.3.4	Erreurs de paquet d'en-tête	903
7.3.5	Erreurs de commande de liaison.....	905
7.3.6	Erreur de numéro de séquence d'en-tête Tx ACK	906
7.3.7	Erreur d'annonce de numéro de séquence d'en-tête	906
7.3.8	Erreur d'annonce de crédit de mémoire tampon d'en-tête Rx en mode SuperSpeed	907
7.3.9	Erreur d'annonce de crédit de mémoire tampon Rx de Type 1/Type 2 en mode SuperSpeedPlus	907
7.3.10	Erreur de séquence de formation.....	907
7.3.11	Erreurs 8b/10b en mode SuperSpeed	908
7.3.12	Erreurs d'en-tête de bloc en mode SuperSpeedPlus	908
7.3.13	Récapitulatif des types d'erreurs et des récupérations	909
7.4	Modes de réinitialisation PowerOn Reset et Inband Reset	911
7.4.1	PowerOn Reset	911
7.4.2	Inband Reset.....	912
7.5	Diagramme d'états de formation et de statut des liaisons (LTSSM)	913
7.5.1	eSS.Disabled.....	917
7.5.2	eSS.Inactive	919
7.5.3	Rx.Detect	921
7.5.4	Polling	924
7.5.5	Mode de conformité	938
7.5.6	U0	939
7.5.7	U1	940
7.5.8	U2	941
7.5.9	U3	943
7.5.10	Recovery	945
7.5.11	Loopback.....	950
7.5.12	Hot Reset	952
8	Couche protocole	955
8.1	Transactions Enhanced SuperSpeed	956
8.1.1	Transactions sur une instance de bus SuperSpeed.....	957
8.1.2	Transactions sur une instance de bus SuperSpeedPlus	958
8.2	Types de paquets	958
8.3	Formats de paquets	959
8.3.1	Champs communs à tous les en-têtes	959
8.4	Paquet de gestion des liaisons (LMP)	961
8.4.1	Champ Subtype	961
8.4.2	Set Link Function.....	962
8.4.3	U2 Inactivity Timeout	963
8.4.4	Vendor Device Test	964
8.4.5	Port Capability	964
8.4.6	Port Configuration	967
8.4.7	Port Configuration Response	968
8.4.8	Precision Time Measurement.....	969
8.5	Paquet de transaction (TP)	984
8.5.1	Paquet de transaction Acknowledgement (ACK)	985
8.5.2	Paquet de transaction Not Ready (NRDY)	987
8.5.3	Paquet de transaction Endpoint Ready (ERDY)	988

8.5.4	Paquet de transaction STATUS	989
8.5.5	Paquet de transaction STALL	989
8.5.6	Paquet de transaction Device Notification (DEV_NOTIFICATION)	990
8.5.7	Paquet de transaction PING	998
8.5.8	Paquet de transaction PING_RESPONSE.....	998
8.6	Paquet de données (DP).....	999
8.7	Paquet d'horodatage isochrone (ITP).....	1002
8.8	Triple adressage.....	1003
8.9	Champ Route String.....	1003
8.9.1	Champ Route String Port.....	1004
8.9.2	Largeur du champ Route String Port.....	1004
8.9.3	Numéro de port.....	1004
8.10	Utilisation des paquets de transaction.....	1004
8.10.1	Conditions de contrôle de flux.....	1005
8.10.2	Transactions de salve.....	1005
8.10.3	Paquets courts	1007
8.10.4	Réorganisation des transactions SuperSpeedPlus	1007
8.11	Réponses à un TP ou un DP	1010
8.11.1	Réponse du dispositif à un TP demandeur de données.....	1010
8.11.2	Réponse de l'hôte aux données reçues d'un dispositif	1011
8.11.3	Réponse d'un dispositif aux données reçues de l'hôte	1011
8.11.4	Réponse du dispositif à un DP SETUP	1012
8.12	Séquences de TP	1013
8.12.1	Transactions en masse.....	1013
8.12.2	Transferts de contrôle.....	1047
8.12.3	Intervalle de bus et intervalle de service	1051
8.12.4	Transactions d'interruption	1051
8.12.5	Informations de temporisation de l'hôte	1059
8.12.6	Transactions isochrones.....	1061
8.13	Paramètres de temporisation	1075
9	Cadre de dispositif.....	1078
9.1	Etats des dispositifs USB.....	1078
9.1.1	Etats des dispositifs visibles	1078
9.1.2	Enumération de bus.....	1085
9.2	Opérations génériques des dispositifs.....	1085
9.2.1	Branchement et débranchement dynamiques.....	1086
9.2.2	Affectation d'adresses	1086
9.2.3	Configuration.....	1086
9.2.4	Transfert de données.....	1087
9.2.5	Gestion de l'alimentation	1087
9.2.6	Traitement des demandes	1089
9.2.7	Erreur de demande.....	1091
9.3	Demandes de dispositifs USB	1091
9.3.1	bmRequestType	1092
9.3.2	bRequest.....	1092
9.3.3	wValue	1092
9.3.4	wIndex.....	1093
9.3.5	wLength.....	1093
9.4	Demandes de dispositif normalisées	1094

9.4.1	Clear Feature	1097
9.4.2	Get Configuration	1098
9.4.3	Get Descriptor	1098
9.4.4	Get Interface	1100
9.4.5	Get Status	1100
9.4.6	Set Address	1104
9.4.7	Set Configuration	1104
9.4.8	Set Descriptor	1105
9.4.9	Set Feature	1105
9.4.10	Set Interface	1107
9.4.11	Set Isochronous Delay	1108
9.4.12	Set SEL	1108
9.4.13	Synch Frame	1109
9.4.14	Événements et leurs effets sur les paramètres du dispositif	1110
9.5	Descripteurs	1111
9.6	Définitions de descripteurs USB normalisés	1111
9.6.1	Dispositif	1111
9.6.2	Binary Device Object Store (BOS)	1114
9.6.3	Configuration	1122
9.6.4	Association d'interfaces	1124
9.6.5	Interface	1125
9.6.6	Point d'extrémité	1126
9.6.7	Point d'extrémité partenaire SuperSpeed	1129
9.6.8	Point d'extrémité isochrone partenaire SuperSpeedPlus	1131
9.6.9	Chaîne	1132
9.7	Définitions de classes de dispositifs	1133
9.7.1	Descripteurs	1133
9.7.2	Interface(s)	1133
9.7.3	Demandes	1133
10	Spécification des ports en aval de l'hôte et d'un concentrateur, et des ports en amont d'un dispositif et d'un concentrateur	1133
10.1	Récapitulatif des caractéristiques d'un concentrateur	1134
10.1.1	Connexion à un hôte compatible Enhanced SuperSpeed	1138
10.1.2	Connexion à un hôte USB 2.0	1138
10.1.3	Connectivité du concentrateur	1138
10.1.4	Connectivité de reprise	1142
10.1.5	Mécanismes de reprise sur panne du concentrateur	1143
10.1.6	Architecture de mémoire tampon d'un concentrateur	1143
10.2	Gestion de l'alimentation du concentrateur	1146
10.2.1	Etats des liaisons	1146
10.2.2	Temporisateurs U1/U2 du port en aval d'un concentrateur	1146
10.2.3	Transitions d'état des liaisons sur un port en aval/en amont	1146
10.3	Ports orientés en aval du concentrateur	1147
10.3.1	Descriptions d'état du port orienté en aval du concentrateur	1151
10.3.2	Mécanisme de détection de déconnexion	1156
10.3.3	Étiquetage	1156
10.4	Gestion de l'alimentation du port orienté en aval du concentrateur	1156
10.4.1	Temporisateurs PM des ports orientés en aval	1157
10.4.2	Descriptions d'état du port orienté en aval du concentrateur	1159

10.5	Port orienté en amont du concentrateur	1163
10.5.1	Descriptions d'états du port orienté en amont	1165
10.5.2	Diagramme d'états de connexion du concentrateur	1166
10.6	Gestion de l'alimentation du port orienté en amont.....	1168
10.6.1	Temporisateur PM du port orientés en amont	1171
10.6.2	Descriptions d'états du port orienté en amont du concentrateur	1171
10.7	Transmission de paquets d'en-tête et répéteur de données d'un concentrateur SuperSpeed	1174
10.7.1	Mémoire tampon d'élasticité d'un concentrateur SuperSpeed	1174
10.7.2	Ensembles ordonnés SKP	1174
10.7.3	Espacement interpaquet	1174
10.7.4	Architecture de mémoire tampon de paquets d'en-tête SuperSpeed	1175
10.7.5	Connectivité des paquets SuperSpeed	1177
10.8	Comportement de stockage-retransmission SuperSpeedPlus.....	1177
10.8.1	Mémoire tampon d'élasticité du concentrateur	1177
10.8.2	Ensembles ordonnés SKP	1177
10.8.3	Espacement interpaquet	1177
10.8.4	Mise en mémoire tampon des flux en amont	1178
10.8.5	Mise en mémoire tampon des flux en aval	1178
10.8.6	Arbitrage des paquets dans un concentrateur SuperSpeedPlus	1179
10.8.7	Modifications de paquets acheminés en amont dans un concentrateur SuperSpeedPlus.....	1182
10.8.8	Contrôleur en aval SuperSpeedPlus	1183
10.9	Diagramme d'états de ports	1183
10.9.1	Diagramme d'états de transmission de ports.....	1183
10.9.2	Descriptions des états de transmission de ports	1185
10.9.3	Diagramme d'états de réception de ports.....	1186
10.9.4	Descriptions des états de réception du port	1187
10.10	Suspend et Resume.....	1192
10.11	Comportement de réinitialisation d'un port en amont du concentrateur	1192
10.12	Contrôle d'alimentation de port de concentrateur	1193
10.12.1	Associations multiples	1193
10.13	Contrôleur de concentrateur.....	1194
10.13.1	Organisation des points d'extrémité	1195
10.13.2	Architecture et utilisation des informations sur le concentrateur.....	1195
10.13.3	Traitement d'informations de modification de port	1196
10.13.4	Table de bits de modification de statut de concentrateur et de port.....	1197
10.13.5	Reporting et rétablissement de surintensité	1199
10.13.6	Traitement des énumérations	1199
10.14	Configuration de concentrateur	1200
10.15	Descripteurs	1201
10.15.1	Descripteurs normalisés pour la classe de concentrateur.....	1202
10.15.2	Descripteurs spécifiques à la classe	1206
10.16	Demandes	1209
10.16.1	Demandes normalisées	1209
10.16.2	Demandes spécifiques à la classe	1209
10.17	Ports (en aval) racines de l'hôte.....	1227
10.18	Ports en amont d'un dispositif périphérique.....	1228
10.18.1	Ports en amont d'un dispositif périphérique	1228

10.18.2	Diagramme d'états du port en amont d'un dispositif périphérique.....	1228
10.19	Paramètres du chapitre relatif au concentrateur.....	1232
11	Interopérabilité et alimentation	1234
11.1	Prise en charge de l'USB 2.0 par un hôte USB 3.1.....	1235
11.2	Prise en charge de l'USB 2.0 par un concentrateur USB 3.1	1235
11.3	Prise en charge de l'USB 2.0 par un dispositif USB 3.1.....	1236
11.4	Distribution de l'alimentation	1236
11.4.1	Classes de dispositifs et connexions	1236
11.4.2	Budget de chute de tension en régime établi	1241
11.4.3	Contrôle de la puissance au cours d'une suspension/reprise	1242
11.4.4	Connexion et déconnexion dynamiques	1243
11.4.5	Caractéristiques électriques du VBUS.....	1245
11.4.6	Connecteur Powered-B.....	1245
11.4.7	Tableau des calibres de fil.....	1245
A	Codage des symboles Gen 1	1246
B	Embrouillage de symboles.....	1252
B.1.	Embrouillage de données	1252
C	Gestion de l'alimentation	1259
C.1.	Vue de l'ensemble de la gestion de l'alimentation SuperSpeed.....	1259
C.1.1.	Gestion de l'alimentation des liaisons	1259
C.1.1.1.	Récapitulatif des états des liaisons	1259
C.1.1.2.	U0 – Liaison active	1260
C.1.1.3.	U1 – Liaison inactive avec sortie rapide	1260
C.1.1.3.1.	Passage à l'état U1	1260
C.1.1.3.2.	Sortie de l'état U1	1261
C.1.1.4.	U2 – Liaison inactive avec sortie lente	1262
C.1.1.5.	U3 – Liaison en suspension	1264
C.1.2.	Gestion de l'alimentation des liaisons pour les ports en aval.....	1265
C.1.2.1.	Coordination et gestion des états des liaisons	1265
C.1.2.2.	Report de paquets	1265
C.1.2.3.	Interface logicielle.....	1266
C.1.3.	Autres mécanismes de prise en charge de la gestion de l'alimentation des liaisons	1267
C.1.3.1.	Fanion Packets Pending	1267
C.1.3.2.	Prise en charge des transferts isochrones	1268
C.1.3.3.	Prise en charge des transferts d'interruption	1268
C.1.4.	Gestion de l'alimentation du dispositif.....	1268
C.1.4.1.	Function Suspend.....	1269
C.1.4.2.	Device Suspend.....	1269
C.1.4.3.	Suspension déclenchée par l'hôte.....	1269
C.1.4.4.	Sortie de l'état de suspension déclenchée par l'hôte	1270
C.1.4.5.	Sortie de l'état de suspension déclenchée par le dispositif.....	1270
C.1.5.	Prise en charge de la gestion de l'alimentation de la plateforme	1271
C.1.5.1.	Latence de sortie du système et BELT	1271
C.1.5.2.	Latence de sortie maximale et PING	1273
C.1.5.2.1.	Latence de sortie maximale t1 (tMEL1).....	1273

C.1.5.2.2.	Latence de sortie maximale t2 (tMEL2).....	1273
C.1.5.2.3.	Latence de sortie maximale t3 (tMEL3).....	1273
C.1.5.2.4.	Latence de sortie maximale t4 (tMEL4).....	1273
C.2.	Calcul des latences de sortie de bout en bout U1 et U2	1274
C.2.1.	Dispositif connecté directement à l'hôte.....	1275
C.2.1.1.	Transition déclenchée par l'hôte	1275
C.2.1.2.	Transition déclenchée par un dispositif	1276
C.2.2.	Dispositif connecté par l'intermédiaire d'un concentrateur.....	1276
C.2.2.1.	Transition déclenchée par l'hôte	1277
C.2.2.2.	Transition déclenchée par un dispositif	1279
C.3.	Règles de gestion de l'alimentation des liaisons initiées par le dispositif.....	1280
C.3.1.	Vue d'ensemble et informations générales.....	1281
C.3.2.	Conditions de passage aux états U1 et U2	1281
C.3.2.1.	Points d'extrémité de contrôle	1282
C.3.2.2.	Points d'extrémité en masse	1282
C.3.2.3.	Points d'extrémité d'interruption	1282
C.3.2.4.	Points d'extrémité isochrones	1283
C.3.2.5.	Dispositifs qui nécessitent des paquets d'horodatage	1283
C.4.	Exemple de mise en œuvre du message de tolérance de latence (LTM)	1283
C.4.1.	Exemple de mise en œuvre d'un diagramme d'états de dispositif.....	1283
C.4.1.1.	BELT à l'état LTM-Idle	1284
C.4.1.2.	BELT à l'état LTM-Active	1284
C.4.1.3.	Transition entre les états LT	1285
C.4.1.3.1.	Transition de l'état LT-idle à l'état LT-active	1285
C.4.1.3.2.	Transition de l'état LT-active à l'état LT-idle	1285
C.4.2.	Autres considérations	1286
C.5.	Considérations relatives à la gestion de l'alimentation en mode SuperSpeed et en mode grande vitesse	1286
D	Exemples de paquets	1288
E	Répéteurs.....	1291
E.1.	Vue d'ensemble	1291
E.1.1.	Définitions	1291
E.1.2.	Domaine d'application	1292
E.1.2.1.	Resynchroniseurs	1292
E.1.2.2.	Réachemineurs.....	1293
E.2.	Vue d'ensemble et exigences de l'architecture d'un retemporisateur.....	1293
E.2.1.	Vue d'ensemble de l'architecture	1293
E.2.2.	Exigences générales	1294
E.2.2.1.	Exigences de la couche physique	1294
E.2.2.2.	Exigences de la couche de liaison	1294
E.2.3.	Fonctionnement d'un retemporisateur	1295
E.3.	Diagramme d'états de formation et de statut du retemporisateur (RTSSM).....	1296
E.3.1.	Rx.Detect	1297
E.3.1.1.	Exigences relatives à l'état Rx.Detect	1297
E.3.1.2.	Sortie de l'état Rx.Detect	1298
E.3.2.	eSS.Disabled.....	1298

E.3.2.1.	Exigences relatives à l'état eSS.Disabled	1298
E.3.2.2.	Sortie de l'état eSS.Disabled	1298
E.3.3.	Polling	1298
E.3.3.1.	Polling.SpeedDetect	1299
E.3.3.1.1.	Exigences relatives à l'état Polling.SpeedDetect.....	1300
E.3.3.1.2.	Sortie de l'état Polling.SpeedDetect.....	1300
E.3.3.2.	Polling.PortConfig.....	1301
E.3.3.2.1.	Exigences relatives au sous-état Polling.PortConfig	1301
E.3.3.2.2.	Sortie du sous-état Polling.PortConfig	1301
E.3.3.3.	Polling.RxEQ	1301
E.3.3.3.1.	Exigences relatives au sous-état Polling.RxEQ.....	1301
E.3.3.3.2.	Sortie du sous-état Polling.RxEQ.....	1302
E.3.3.4.	Polling.TSx	1302
E.3.3.4.1.	Exigences relatives au sous-état Polling.TSx.....	1302
E.3.3.4.2.	Sortie du sous-état Polling.TSx.....	1302
E.3.3.5.	Le temporisateur tPollingConfigurationTimeout a expiré.Polling.Idle	1303
E.3.3.5.1.	Exigences relatives au sous-état Polling.Idle	1303
E.3.3.5.2.	Sortie du sous-état Polling.Idle	1303
E.3.4.	Compliance Mode	1303
E.3.5.	U0.....	1303
E.3.5.1.	Exigences relatives à l'état U0	1303
E.3.5.2.	Sortie de l'état U0	1304
E.3.6.	U1.....	1304
E.3.6.1.	Exigences relatives à l'état U1	1304
E.3.6.2.	Sortie de l'état U1	1305
E.3.7.	U2.....	1305
E.3.7.1.	Exigences relatives à l'état U2	1306
E.3.7.2.	Sortie de l'état U2	1306
E.3.8.	U3.....	1306
E.3.8.1.	Exigences relatives à l'état U3	1306
E.3.8.2.	Sortie de l'état U3	1307
E.3.9.	Recovery	1307
E.3.10.	PassThrough Loopback	1308
E.3.10.1.	Exigences relatives à l'état PassThrough Loopback.....	1308
E.3.10.2.	Sortie de l'état PassThrough Loopback.....	1309
E.3.11.	Local Loopback.....	1309
E.3.11.1.	Exigences relatives à l'état Local Loopback.....	1309
E.3.11.2.	Sortie du sous-état Local Loopback.Active	1309
E.3.11.3.	Sortie du sous-état Local Loopback.Exit	1309
E.3.12.	Hot Reset	1309
E.3.12.1.	Exigences relatives à l'état Hot Reset.....	1309
E.3.12.2.	Sortie de l'état Hot Reset.....	1310
E.4.	Compensation de décalage d'horloge	1310

E.4.1.	Fonctionnement à la vitesse Gen 1	1310
E.4.1.1.	Compensation de décalage d'horloge en condition d'engorgement.....	1310
E.4.1.2.	Compensation de décalage d'horloge en condition de débordement.....	1311
E.4.2.	Fonctionnement à la vitesse Gen 2	1312
E.5.	Conformité.....	1312
E.5.1.	Conformité des produits hôtes et dispositifs	1312
E.5.2.	Conformité du retemporisateur au niveau des composants	1312
Titre: CTLE USB 3.1		1314
Appliqué à: USB_3_1r1.0_07_31_2013.....		1314
Modification réelle.....		1315
(a)	Section 6.4.4, , page 824	1315
6.7.1	Paramètres électriques de l'émetteur	1317
6.7.1	Paramètres électriques de l'émetteur	1318
(c)	Section 6.7.5, page 836	1319
6.7.5	Désaccentuation d'émetteur informative	1319
6.7.5.1	Gen 1 (5 GT/s).....	1319
6.7.5.2	Gen 2 (10 GT/s).....	1319
6.7.5	Désaccentuation d'émetteur informative.....	1324
6.7.5.1	Gen 1 (5 GT/s).....	1324
6.7.5.2	Gen 2 (10 GT/s).....	1324
(d)	Section 6.8.2.2.1, , page 842	1331
(e)	Section 6.8.2.2.1, , page 847	1333
Titre: HSEQ		1335
Appliqué à: USB_3_1r1.0_07_31_2013.....		1335
Modification réelle.....		1336
Titre: wHubDelay USB 3.1		1344
Appliqué à: USB_3_1r1.0_07_31_2013.....		1344
Modification réelle.....		1345
Tableau 10-19. Paramètres de concentrateur		1345
Titre: LTM USB 3.1		1346
Appliqué à: USB_3_1r1.0_07_31_2013.....		1346
Modification réelle.....		1347
Titre: Polling.LFPS.....		1351
Appliqué à: USB_3_1r1.0_07_31_2013.....		1351
Modification réelle.....		1352
Titre: Valeur PTM USB 3.1.....		1358
Appliqué à: USB_3_1r1.0_07_31_2013.....		1358
Modification réelle.....		1359
Titre: Octets OS SKP pendant la clarification de la conformité		1360
Appliqué à: USB_3_1r1.0_07_31_2013.....		1360
Modification réelle.....		1361
(a)	Du texte (et de l'emplacement): , Section 6.4.2, page 822.....	1361
(a)	Au texte (et à l'emplacement): , Section 6.4.2, page 822.....	1361
(b)	Du texte (et de l'emplacement): Section 6.4.2, page 820.....	1361
(c)	Du texte (et de l'emplacement): Section 6.4.2, page 820.....	1361

Titre: Définition de l'ensemble ordonné SKP USB 3.1	1362
Appliqué à: USB_3_1r1.0_07_31_2013.....	1362
Modification réelle.....	1363
Section 6.3.2.2 Règles de décodage 128b/132b normatives	1363
Section 6.4.3 Mémoire tampon d'élasticité et ensemble ordonné SKP	1364
Section 6.4.3.2 Règles liées aux ensembles ordonnés SKP (hôte/dispositif/concentrateur) pour le fonctionnement à la vitesse Gen 2	1365
6.8.4 Bouclage du récepteur	1368
Titre: SLC IS SDS.....	1369
Appliqué à: USB_3_1r1.0_07_31_2013.....	1369
Modification réelle.....	1370
Section 6.3.3.....	1370
Section 6.4.1.2.2	1372
Titre: Exigence de tRepeat pour ping.LFPS en mode SSP	1373
Appliqué à: USB_3_1r1.0_07_31_2013.....	1373
Modification réelle.....	1374
Titre: Budget de la gigue du système SSP	1375
Appliqué à: USB_3_1r1.0_07_31_2013.....	1375
Modification réelle.....	1376
(b) De, à la Section 6.7.3, Tableau 6-19, page 835.....	1377
(b) A, à la Section 6.7.3, Tableau 6-19, page 835.....	1377
(c) De, à la Section 6.8.5, , page 849	1378
(c) A, à la Section 6.8.5, , page 849	1379
Titre: tHubDriveResume USB 3.1.....	1380
Appliqué à: USB_3_1r1.0_07_31_2013.....	1380
Modification réelle.....	1381
, Paramètres de concentrateur	1381
10.10 Suspend et Resume	1381
Titre: Clarification de TSEQ Gen2.....	1382
Appliqué à: USB_3_1r1.0_07_31_2013.....	1382
Modification réelle.....	1383
(a) Du texte (et de l'emplacement): Section 6.4.1.2.2, Page 818	1383
6.4.1.2.2 Valeurs de séquence de formation pour le fonctionnement à la vitesse Gen 2	1383
(a) Au texte (et à l'emplacement): Section 6.4.1.2.2, Page 818	1383
6.4.1.2.2 Valeurs de séquence de formation pour le fonctionnement à la vitesse Gen 2	1383
(b) Du texte (et de l'emplacement): Section 7.5.4.7.1, Page 928	1384
7.5.4.7.1 Exigences relatives au sous-état Polling.RxEQ	1384
(b) Au texte (et à l'emplacement): Section 7.5.4.7.1, Page 928	1384
7.5.4.7.1 Exigences relatives au sous-état Polling.RxEQ	1384
(c) Du texte (et de l'emplacement): Section 7.5.4.7.2, Page 928	1385
7.5.4.7.2 Sortie du sous-état Polling.RxEQ	1385
(c) Au texte (et à l'emplacement): Section 7.5.4.7.2, Page 928	1385
7.5.4.7.2 Sortie du sous-état Polling.RxEQ	1385
(d) Du texte (et de l'emplacement): Section 6.8.1, Page 839	1386
(d) Au texte (et à l'emplacement): Section 6.8.1, Page 839	1386

Titre: Limite maximale de VBUS USB 3.1.....	1387
Appliqué à: USB_3_1r1.0_07_31_2013.....	1387
Modification réelle.....	1388
(a) Section 11.4.2 Budget de chute de tension en régime établi	1388
(b) Section 11.4.5 Caractéristiques électriques de VBUS	1389
Titre: Limite maximale de VBUS USB 3.1.....	1394
Appliqué à: USB_3_1r1.0_07_31_2013.....	1394
Modification réelle demandée	1395
(a) Section 11.4.2 Budget de chute de tension en régime établi	1395
(b) Section 11.4.5 Caractéristiques électriques de VBUS	1396
Figure 2-1 – Représentation graphique du port et de la liaison.....	689
Figure 3-1 – Architecture du système USB 3.1 à deux bus.....	690
Figure 3-2 – Câble USB 3.1	692
Figure 3-3 – Modèle de référence relatif à la terminologie de l'USB 3.1	694
Figure 3-4 – Couches de communication et éléments de gestion de l'alimentation du bus Enhanced SuperSpeed.....	696
Figure 3-5 – Exemples de topologies USB 3.1 de dispositif physique USB prises en charge	704
Figure 3-6 – Configuration SuperSpeed uniquement de dispositif périphérique Enhanced SuperSpeed	704
Figure 3-7 – Configuration de dispositif Enhanced SuperSpeed	705
Figure 3-8 – Différentes instances de bus SuperSpeed dans un système Enhanced SuperSpeed.....	707
Figure 4-1 – Protocole de transaction IN Enhanced SuperSpeed	715
Figure 4-2 – Protocole de transaction OUT Enhanced SuperSpeed.....	716
Figure 4-3 – Exemple de flux IN Enhanced SuperSpeed	721
Figure 5-1 – Dimensions d'interface d'une embase USB 3.1 Standard-A.....	736
Figure 5-2 – Exemple d'embase USB 3.1 Standard-A avec ressorts de mise à la masse et zones de contact exigées sur la fiche Standard-A	738
Figure 5-3 – Exemple d'embases USB 3.1 Standard-A montées au centre avec détection d'insertion.....	739
Figure 5-4 – Dimensions d'interface d'une fiche USB 3.1 Standard-A.....	743
Figure 5-5 – Exemple d'empreinte pour l'embase USB 3.1 Standard-A – Trou traversant avec écran arrière	746
Figure 5-6 – Exemple d'empreinte pour l'embase USB 3.1 Standard-A – Trou traversant pour montage central normal avec détection d'insertion	747
Figure 5-7 – Exemple d'empreinte pour l'embase USB 3.1 Standard-A – Trou traversant pour montage central inverse avec détection d'insertion.....	748
Figure 5-8 – Représentation de la recommandation relative au code couleur pour un connecteur USB 3.1 Standard-A	750
Figure 5-9 – Dimensions d'interface d'une embase USB 3.1 Standard-B.....	753
Figure 5-10 – Dimensions d'interface d'une fiche USB 3.1 Standard-B.....	754
Figure 5-11 – Empreinte de référence de l'embase USB 3.1 Standard-B.....	754
Figure 5-12 – Dimensions de l'interface des embases USB 3.1 Micro-B et -AB	759
Figure 5-13 – Dimensions de l'interface des fiches USB 3.1 Micro-B et Micro-A.....	763
Figure 5-14 – Empreinte de référence de l'embase USB 3.1 Micro-B ou Micro-AB	766

Figure 5-15 – Représentation de la coupe transversale d'un câble USB 3.1	768
Figure 5-16 – Ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Standard-B	771
Figure 5-17 – Dimensions de surmoulage du câble d'une fiche USB 3.1 Micro-B	773
Figure 5-18 – Dimensions de surmoulage d'un câble USB 3.1 Micro-A.....	775
Figure 5-19 – Orientation habituelle d'une fiche	778
Figure 5-20 – Dimensions recommandées des vides de terre pour une embase USB Standard-A	781
Figure 5-21 – Limites d'impédance d'un connecteur couplé pour la vitesse Gen 2.....	782
Figure 5-22 – Représentation d'un ensemble câble-connecteur installé sur un montage d'essai.....	783
Figure 5-23 – Représentation d'un ensemble câble-connecteur avec un hôte et un dispositif de référence	784
Figure 5-24 – Représentation de l'ajustement de la perte d'insertion à la fréquence de Nyquist	785
Figure 5-25 – Exemple d'écart de perte d'insertion.....	786
Figure 5-26 – Exemples de réussites/d'échecs	788
Figure 5-27 – Représentation de la diaphonie crête à crête	789
Figure 5-28 – Exigence concernant la conversion du mode différentiel en mode commun pour Gen 2	790
Figure 5-29 – Dispositif de mesure de la SE des câbles (susceptible d'être modifié).....	790
Figure 5-30 – Essai de continuité sur 4 axes.....	794
Figure 5-31 – Connecteur USB 3.1 Standard-A couplé.....	798
Figure 5-32 – Connecteur USB 3.1 Standard-B couplé.....	798
Figure 5-33 – Connecteur USB 3.1 Micro-B couplé	799
Figure 5-34 – Exemples d'ouvertures de connecteur	800
Figure 6-1 – Couche physique SuperSpeed	802
Figure 6-2 – Schéma fonctionnel d'émetteur	804
Figure 6-3 – Schéma fonctionnel de récepteur Gen 1.....	805
Figure 6-4 – Schéma fonctionnel de récepteur Gen 2.....	806
Figure 6-5 – Modèles de canaux.....	807
Figure 6-6 – Mapping des caractères aux symboles.....	808
Figure 6-7 – Ordre d'émission des bits.....	808
Figure 6-8 – LFSR avec polynôme d'embrouillage	810
Figure 6-9 – Ordre de sérialisation et de désérialisation à la vitesse Gen 2	811
Figure 6-10 – Ordre et mise en trames d'émission des bits à la vitesse Gen 2	811
Figure 6-11 – LFSR à utiliser lors du fonctionnement à la vitesse Gen 2.....	814
Figure 6-12 – Filtrage de la gigue – Fonctions "Golden PLL" et de transfert de la gigue.....	827
Figure 6-13 – Fonctions "Golden PLL" et de transfert de la gigue pour le fonctionnement à la vitesse Gen 1	828
Figure 6-14 – Fonctions "Golden PLL" et de transfert de la gigue pour le fonctionnement à la vitesse Gen 2	828
Figure 6-15 – Exemple de modulation de la période à partir de la SSC triangulaire.....	830
Figure 6-16 – Masques de l'œil.....	831
Figure 6-17 – Niveaux de tension asymétrique et différentielle.....	832
Figure 6-18 – Schéma d'une terminaison de dispositif	833

Figure 6-19 – Configuration normative de Tx avec canal de référence	837
Figure 6-20 – Forme d'onde de désaccentuation.....	837
Figure 6-21 – Structure de l'égaliseur de transmission à trois dérivateurs	838
Figure 6-22 – Exemple de forme d'onde de sortie pour l'égaliseur de transmission à trois dérivateurs.....	839
Figure 6-23 – Spectre de fréquences de la séquence TSEQ	840
Figure 6-24 – Fonction de transfert Rx EQ de conformité Gen 1	842
Figure 6-25 – Fonction de transfert Rx EQ de conformité Gen 2	843
Figure 6-26 – Fonction du DFE de référence Gen 2	844
Figure 6-27 – Configuration de la tolérance du Rx	848
Figure 6-28 – Courbe de la tolérance de gigue	849
Figure 6-29 – Signalisation LFPS.....	851
Figure 6-30 – Diagramme des temps de négociation LFPS pour la sortie de l'état U1, la sortie de l'état U2 et le réveil à partir de l'état U3.....	853
Figure 6-31 – Exemple de Warm Reset pour sortir de l'état U3	856
Figure 6-32 – Exemple de représentation binaire qui repose sur Polling.LFPS.....	857
Figure 6-33 – Transmission de SCD1/SCD2	857
Figure 6-34 – Représentation logique de la LBPS.....	858
Figure 6-35 – Exemples de transmissions LBPM.....	859
Figure 6-36 – Schéma de la détection du Rx.....	860
Figure 7-1 – Couche de liaison	863
Figure 7-2 – Ordonnancement des octets	864
Figure 7-3 – Paquet d'en-tête Enhanced SuperSpeed avec ensemble ordonné HPSTART, en-tête de paquet et mot de contrôle de liaison.....	866
Figure 7-4 – Format du DPH SuperSpeedPlus	866
Figure 7-5 – En-tête de paquet	867
Figure 7-6 – Génération du reste du CRC-16.....	868
Figure 7-7 – Mot de contrôle de liaison	870
Figure 7-8 – Génération du reste du CRC-5.....	871
Figure 7-9 – Charge utile de paquet de données avec CRC-32 et mise en trames	872
Figure 7-10 – Génération du reste du CRC-32.....	873
Figure 7-11 – Paquet de données qui comporte un en-tête de paquet de données suivi d'une charge utile de paquet de données. (a) DP SuperSpeed; (b) DP SuperSpeedPlus	876
Figure 7-12 – Structures des commandes de liaison	877
Figure 7-13 – Structure du mot de commande de liaison.....	878
Figure 7-14 – Diagramme d'états LTSSM.....	917
Figure 7-15 – Diagramme de sous-états d'eSS.Disabled.....	919
Figure 7-16 – Diagramme de sous-états d'eSS.Inactive	921
Figure 7-17 – Diagramme de sous-états de Rx.Detect	924
Figure 7-18 – Diagramme de sous-états de Polling	938
Figure 7-19 – U1.....	941
Figure 7-20 – U2.....	943
Figure 7-21 – U3.....	945
Figure 7-22 – Diagramme de sous-états de Recovery	949

Figure 7-23 – Diagramme de sous-états de Loopback.....	952
Figure 7-24 – Diagramme de sous-états de Hot Reset	955
Figure 8-1 – Mise en avant de la couche protocole	956
Figure 8-2 – Exemple de paquet de transaction	959
Figure 8-3 – Détail du mot de contrôle de liaison	960
Figure 8-4 – Structure d'un paquet de gestion des liaisons	961
Figure 8-5 – LMP Set Link Function	963
Figure 8-6 – LMP U2 Inactivity Timeout	963
Figure 8-7 – LMP Vendor Device Test.....	964
Figure 8-8 – LMP Port Capability	965
Figure 8-9 – LMP Port Configuration.....	967
Figure 8-10 – LMP Port Configuration Response	968
Figure 8-11 – Protocole de mesure du délai de liaison	970
Figure 8-12 – Protocole ITP PTM.....	971
Figure 8-13 – Notation du diagramme d'états LDM.....	973
Figure 8-14 – Diagrammes d'états LDM Requester	973
Figure 8-15 – Diagramme d'états LDM Responder State.....	976
Figure 8-16 – Composants qui contribuent aux performances des chemins PTM	981
Figure 8-17 – LMP LDM.....	983
Figure 8-18 – Paquet de transaction ACK	985
Figure 8-19 – Paquet de transaction NRDY.....	988
Figure 8-20 – Paquet de transaction ERDY.....	988
Figure 8-21 – Paquet de transaction STATUS.....	989
Figure 8-22 – Paquet de transaction STALL.....	990
Figure 8-23 – Paquet de transaction Device Notification	990
Figure 8-24 – Notification de dispositif "Réveil de fonction"	991
Figure 8-25 – Notification de dispositif "Message de tolérance de latence"	992
Figure 8-26 – Notification de dispositif "Message d'ajustement de l'intervalle de bus"	993
Figure 8-27 – Notification de dispositif "Vitesse de sous-liaison"	996
Figure 8-28 – Paquet de transaction PING.....	998
Figure 8-29 – Paquet de transaction PING_RESPONSE.....	999
Figure 8-30 – Exemple de paquet de données	1000
Figure 8-31 – Paquet d'horodatage isochrone	1002
Figure 8-32 – Détails du champ Route String.....	1004
Figure 8-33 – Exemples de transactions IN en masse simultanées	1009
Figure 8-34 – Exemples de transactions IN en masse et isochrones simultanées.....	1010
Figure 8-35 – Légende des diagrammes d'états	1015
Figure 8-36 – Exemple de séquence de transactions IN en masse.....	1017
Figure 8-37 – Exemples de transactions OUT en masse	1018
Figure 8-38 – Diagramme d'états du protocole de flux (SPSM, <i>Stream Protocol State Machine</i>) général	1019
Figure 8-39 – Diagramme d'états du protocole de flux IN d'un dispositif (DISPSM, <i>Device IN Stream Protocol State Machine</i>)	1023

Figure 8-40 – Diagramme d'états du transfert de données dans un flux IN d'un dispositif (DIMDSM, <i>Device IN Move Data State Machine</i>).....	1025
Figure 8-41 – Diagramme d'états du protocole de flux OUT d'un dispositif (DOSPSM, <i>Device IN Stream Protocol State Machine</i>)	1028
Figure 8-42 – Diagramme d'états du transfert de données dans un flux OUT d'un dispositif (DOMDSM, <i>Device OUT Move Data State Machine</i>).....	1032
Figure 8-43 – Diagramme d'états du protocole de flux IN de l'hôte (HISPSM, <i>Host IN Stream Protocol State Machine</i>).....	1035
Figure 8-44 – Diagramme d'états du transfert de données dans un flux IN de l'hôte (HIMDSM, <i>Host IN Move Data State Machine</i>)	1038
Figure 8-45 – Diagramme d'états du protocole de flux OUT de l'hôte (HOSPSM, <i>Host IN Stream Protocol State Machine</i>)	1041
Figure 8-46 – Diagramme d'états du transfert de données dans un flux OUT de l'hôte (HOMDSM, <i>Host OUT Move Data State Machine</i>).....	1044
Figure 8-47 – Séquence de lecture de contrôle	1048
Figure 8-48 – Séquence d'écriture de contrôle	1049
Figure 8-49 – L'hôte envoie une transaction d'interruption IN dans chaque intervalle de service	1053
Figure 8-50 – L'hôte arrête de traiter la transaction d'interruption IN à réception d'un NRDY	1053
Figure 8-51 – L'hôte reprend la transaction IN après l'envoi d'un ERDY par le dispositif ...	1054
Figure 8-52 – Le point d'extrémité envoie un TP STALL.....	1054
Figure 8-53 – L'hôte détecte une erreur dans les données et le dispositif renvoie les données.....	1055
Figure 8-54 – L'hôte envoie une transaction d'interruption OUT dans chaque intervalle de service	1057
Figure 8-55 – L'hôte arrête de traiter la transaction d'interruption OUT à réception d'un NRDY	1057
Figure 8-56 – L'hôte reprend l'envoi de la transaction d'interruption OUT après l'envoi d'un ERDY par le dispositif	1058
Figure 8-57 – Le dispositif détecte une erreur dans les données et l'hôte renvoie les données.....	1059
Figure 8-58 – Le point d'extrémité envoie un TP STALL.....	1059
Figure 8-59 – Plusieurs points d'extrémité isochrones actifs avec des limites d'intervalle de service alignées	1061
Figure 8-60 – Format d'une transaction isochrone IN Enhanced SuperSpeed	1062
Figure 8-61 – Format d'une transaction isochrone OUT Enhanced SuperSpeed.....	1062
Figure 8-62 – Exemple de transaction isochrone IN Enhanced SuperSpeed.....	1064
Figure 8-63 – Exemple de transaction isochrone OUT Enhanced SuperSpeed	1064
Figure 8-64 – Exemple de transaction isochrone IN Enhanced SuperSpeed.....	1065
Figure 8-65 – Exemple de transaction isochrone OUT Enhanced SuperSpeed	1066
Figure 8-66 – Exemple de transaction isochrone IN intelligente Enhanced SuperSpeed....	1069
Figure 8-67 – Exemple de transaction isochrone OUT intelligente Enhanced SuperSpeed.....	1071
Figure 8-68 – Exemple de transaction isochrone IN canalisée	1073
Figure 9-1 – Diagramme d'états d'un périphérique et diagramme d'états d'un concentrateur (partie Enhanced SuperSpeed uniquement).....	1080
Figure 9-2 – Format de wIndex pour la spécification d'un point d'extrémité	1093

Figure 9-3 – Format de wIndex pour la spécification d'une interface	1093
Figure 9-4 – Informations renvoyées à un dispositif par une demande GetStatus() normalisée	1101
Figure 9-5 – Informations renvoyées à une interface par une demande GetStatus() normalisée	1102
Figure 9-6 – Informations renvoyées à un point d'extrémité par une demande GetStatus() normalisée	1102
Figure 9-7 – Informations renvoyées à un point d'extrémité par une demande GetStatus() PTM	1103
Figure 9-8 – Exemple de relations entre points d'extrémité de rétroaction	1129
Figure 10-1 – Architecture d'un concentrateur USB	1134
Figure 10-2 – Partie SuperSpeed de l'architecture d'un concentrateur USB	1135
Figure 10-3 – Partie SuperSpeedPlus de l'architecture d'un concentrateur	1136
Figure 10-4 – Topologie USB simple	1138
Figure 10-5 – Exemple de chaîne de routage	1140
Figure 10-6 – Connectivité de la signalisation d'un concentrateur SuperSpeed	1141
Figure 10-7 – Connectivité de reprise	1143
Figure 10-8 – Architecture type d'une mémoire tampon de paquets d'en-tête d'un concentrateur SuperSpeed	1144
Figure 10-9 – Trafic d'une mémoire tampon de données d'un concentrateur SuperSpeed (mémoire tampon de paquets d'en-tête représentée uniquement pour le port en aval 1)	1145
Figure 10-10 – Diagramme d'états du port du concentrateur orienté en aval	1149
Figure 10-11 – Diagramme d'états de gestion d'alimentation du port du concentrateur orienté en aval	1159
Figure 10-12 – Diagramme d'états du port du concentrateur orienté en amont	1165
Figure 10-13 – Diagramme d'états de connexion du concentrateur (HCONNECT)	1167
Figure 10-14 – Diagramme d'états de gestion d'alimentation du port du concentrateur orienté en amont	1170
Figure 10-15 – Exemple d'architecture de mémoire tampon de paquets d'en-tête d'un concentrateur SS – Trafic en aval	1175
Figure 10-16 – Exemple d'architecture de mémoire tampon de paquets d'en-tête d'un concentrateur SS – Trafic en amont	1176
Figure 10-17 – Représentation logique des mémoires tampons de flux en amont	1178
Figure 10-18 – Représentation logique des mémoires tampons de flux en aval	1179
Figure 10-19 – Diagramme d'états de transmission de ports	1185
Figure 10-20 – Diagramme d'états RX d'un port orienté en amont	1187
Figure 10-21 – Exemple d'organisation du contrôleur de concentrateur	1194
Figure 10-22 – Relations entre Statut, Modification de statut et Informations de contrôle et les états de dispositif	1196
Figure 10-23 – Méthode de traitement de statut de port	1197
Figure 10-24 – Table de bits de modification de statut de concentrateur et de port	1198
Figure 10-25 – Exemple d'échantillonnage de bit de modification de concentrateur et de port	1198
Figure 10-26 – Diagramme d'états du port en amont d'un dispositif périphérique	1230
Figure 11-1 – Concentrateur composé autoalimenté	1238
Figure 11-2 – Fonction basse puissance alimentée par bus	1239

Figure 11-3 – Fonction haute puissance alimentée par bus	1240
Figure 11-4 – Fonction autoalimentée	1241
Figure 11-5 – Topologie de chute de tension la plus défavorable (régime établi).....	1241
Figure 11-6 – Analyse de la chute de tension la plus défavorable à l'aide d'une résistance équivalente	1242
Figure 11-7 – Profil de moyennage du courant de veille type	1243
Figure C.1 – Schéma relatif à la sortie de l'état de suspension déclenchée par l'hôte	1270
Figure C.2 – Tolérance de latence intrinsèque totale du dispositif.....	1272
Figure C.3 – Exemples de calculs de la latence de sortie du chemin entre l'hôte et le dispositif	1274
Figure C.4 – Dispositif connecté directement à un hôte.....	1275
Figure C.5 – Dispositif connecté par l'intermédiaire d'un concentrateur.....	1277
Figure C.6 – Latence de sortie du chemin en aval entre l'hôte et le dispositif avec un concentrateur.....	1278
Figure C.7 – Latence de sortie du chemin en amont entre le dispositif et l'hôte avec un concentrateur.....	1279
Figure C.8 – Diagramme d'états LT.....	1284
Figure C.9 – Puissance du système pendant les transferts de données de dispositifs qui fonctionnent en mode SuperSpeed et en mode grande vitesse.....	1287
Figure D.1 – Exemple de paquet de transaction ERDY	1288
Figure D.2 – Exemple de paquet de données.....	1288
Figure D.3 – Exemple de placement du bloc SKP Gen 2, des symboles d'inactivité, de la commande de liaison et du paquet d'en-tête	1289
Figure D.4 – Exemple de placement des paquets de données Gen 2 et des symboles d'inactivité	1290
Figure E.1 – Définition d'un segment de liaison.....	1291
Figure E.2 – Exemples de mises en œuvre de retemporisateur	1292
Figure E.3 – Exemple d'architecture générale d'un retemporisateur qui fonctionne en mode Gen 2.....	1293
Figure E.4 – Diagramme d'états de formation et de statut du retemporisateur.....	1297
Figure E.5 – Diagramme de sous-états de Polling.....	1299
Figure E.6 – Diagramme de sous-états de Recovery.....	1308
Figure E.7 – Exemple de schéma fonctionnel d'un retemporisateur qui fonctionne en mode SuperSpeed	1312
Figure 6-20 – Forme d'onde de désaccentuation.....	1319
Figure 6-21 – Structure de l'égaliseur de transmission à trois dérivateurs	1321
Figure 6-22 – Exemple de forme d'onde de sortie pour l'égaliseur de transmission à trois dérivateurs.....	1322
Figure 6-20 – Forme d'onde de désaccentuation.....	1324
Figure 6-21 – Structure de l'égaliseur de transmission à trois dérivateurs	1326
Figure 6-22 – Exemple de forme d'onde de sortie pour l'égaliseur de transmission à trois dérivateurs.....	1327
Figure 6-23 – Exemples de formes d'onde pour le mesurage de l'égalisation d'un émetteur	1330
Figure 6-25 – Fonction de transfert Rx EQ de conformité Gen 2	1331
Figure 6-25 – Fonction de transfert Rx EQ de conformité Gen 2	1332

Tableau 3-1 – Comparaison entre un bus Enhanced SuperSpeed et un bus USB 2.0.....	693
Tableau 5-1 – Fiches acceptées par les embases	731
Tableau 5-2 – Affectation des broches d'un connecteur USB 3.1 Standard-A.....	749
Tableau 5-3 – Affectation des broches d'un connecteur USB 3.1 Standard-B.....	755
Tableau 5-4 – Affectation des broches d'un connecteur USB 3.1 Micro-B	766
Tableau 5-5 – Affectation des broches d'un connecteur USB 3.1 Micro-AB/-A.....	767
Tableau 5-6 – Affectations des fils de câble.....	769
Tableau 5-7 – Calibres de fil de référence	769
Tableau 5-8 – Câblage de l'ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Standard-B	771
Tableau 5-9 – Câblage de l'ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Standard-A	772
Tableau 5-10 – Câblage de l'ensemble câble-connecteur USB 3.1 Standard-A vers USB 3.1 Micro-B.....	774
Tableau 5-11 – Câblage de l'ensemble câble-connecteur USB 3.1 Micro-A vers USB 3.1 Micro-B.....	776
Tableau 5-12 – Câblage de l'ensemble câble-connecteur USB 3.1 Micro-A vers USB 3.1 Standard-B	777
Tableau 5-13 – Exemples de pertes d'insertion différentielle SDP pour la vitesse Gen 2.....	780
Tableau 5-14 – Exemples de pertes d'insertion différentielle SDP pour la vitesse Gen 2 avec une construction coaxiale	780
Tableau 5-15 – Objectifs de conception	783
Tableau 5-16 – Valeurs assignées de durabilité	792
Tableau 5-17 – Conditions environnementales d'essai.....	795
Tableau 5-18 – Matériaux de référence.....	797
Tableau 6-1 – Symboles spéciaux.....	815
Tableau 6-2 – Ensemble ordonné TSEQ Gen 1.....	817
Tableau 6-3 – Ensemble ordonné TS1 Gen 1.....	817
Tableau 6-4 – Ensemble ordonné TS2 Gen 1.....	817
Tableau 6-5 – Configuration de liaison Gen 1/Gen 2	818
Tableau 6-6 – Ensemble ordonné TS1 Gen 2.....	820
Tableau 6-7 – Ensemble ordonné TS2 Gen 2.....	820
Tableau 6-8 – Ensemble ordonné TSEQ Gen 2.....	820
Tableau 6-9 – Ensemble ordonné SYNC Gen 2.....	820
Tableau 6-10 – Ensemble ordonné SDS	820
Tableau 6-11 – Structure des ensembles ordonnés SKP Gen 1	822
Tableau 6-12 – Ensemble ordonné SKP Gen 2	823
Tableau 6-13 – Séquences des modèles de conformité.....	825
Tableau 6-14 – Modèle de conformité Gen 2.....	825
Tableau 6-15 – Budget informatif de la gigue au niveau des plaques de silicone.....	826
Tableau 6-16 – Paramètres de SSC.....	829
Tableau 6-17 – Paramètres électriques normatifs de l'émetteur	834
Tableau 6-18 – Paramètres électriques informatifs au niveau des plaques de silicium de l'émetteur.....	835
Tableau 6-19 – Masque de l'œil de l'émetteur normatif au point d'essai TP1.....	836

Tableau 6-20 – Paramètres d'égalisation d'émetteur Gen 2 informatifs	839
Tableau 6-21 – Paramètres électriques normatifs du récepteur	845
Tableau 6-22 – Paramètres électriques informatifs du récepteur	846
Tableau 6-23 – BRST	847
Tableau 6-24 – BDAT	847
Tableau 6-25 – BERC	848
Tableau 6-26 – BCNT	848
Tableau 6-27 – Exigences relatives à la gigue d'entrée pour les essais de tolérance Rx	850
Tableau 6-28 – Spécification électrique LFPS normative	851
Tableau 6-29 – Temps de l'émetteur LFPS pour les modèles SuperSpeed1	852
Tableau 6-30 – Durée de la négociation LFPS pour la sortie de l'état U1/U2, la sortie de l'état Loopback et le réveil à partir de l'état U3	855
Tableau 6-31 – Représentation binaire du sous-état Polling.LFPS	856
Tableau 6-32 – Spécification de l'émission et de la réception LBPS	858
Tableau 7-1 – Mapping du CRC-16	869
Tableau 7-2 – Mapping du CRC-32	874
Tableau 7-3 – Structure de l'ensemble ordonné de commande de liaison	877
Tableau 7-4 – Définition des bits de commande de liaison	879
Tableau 7-5 – Définition des commandes de liaison	881
Tableau 7-6 – Définition de l'inactivité logique	883
Tableau 7-7 – Récapitulatif des temporisateurs d'émetteurs	896
Tableau 7-8 – Récapitulatif des temporisateurs de commande de flux de liaisons	897
Tableau 7-9 – Ordre valide des symboles de mise en trame des paquets (Sx est l'un des symboles SHP, DPHP, SDP, END ou EDB)	904
Tableau 7-10 – Ordre valide des symboles de commande de liaison	906
Tableau 7-11 – Types d'erreurs et récupérations	909
Tableau 7-12 – Délais d'expiration des transitions d'états LTSSM	915
Tableau 7-13 – LBPM PHY Capability	929
Tableau 8-1 – Description du champ Type	960
Tableau 8-2 – Format du mot de contrôle de liaison	961
Tableau 8-3 – Champ Subtype d'un paquet de gestion des liaisons	962
Tableau 8-4 – LMP Set Link Function	963
Tableau 8-5 – Fonctionnalité de temporisateur d'inactivité U2	964
Tableau 8-6 – Fonction Vendor-specific Device Test	964
Tableau 8-7 – Format du LMP Port Capability	966
Tableau 8-8 – Matrice de sélection des types de ports	967
Tableau 8-9 – Format du LMP Port Configuration (différences avec le LMP Port Capability)	968
Tableau 8-10 – Format du LMP Port Configuration Response (différences avec le LMP Port Capability)	969
Tableau 8-11 – LMP LDM	984
Tableau 8-12 – Champ Subtype d'un paquet de transaction	984
Tableau 8-13 – Format du TP ACK	986
Tableau 8-14 – Format d'un TP NRDY (différences avec le TP ACK)	988

Tableau 8-15 – Format d'un TP ERDY (différences avec le TP ACK)	989
Tableau 8-16 – Format d'un TP STATUS (différences avec le TP ACK)	989
Tableau 8-17 – Format d'un TP STALL (différences avec le TP ACK)	990
Tableau 8-18 – Format d'un TP Device Notification (différences avec le TP ACK).....	991
Tableau 8-19 – Notification de dispositif "Réveil de fonction"	991
Tableau 8-20 – Notification de dispositif "Message de tolérance de latence"	992
Tableau 8-21 – Notification de dispositif "Message d'ajustement de l'intervalle de bus"	993
Tableau 8-22 – Notification de dispositif "Vitesse de sous-liaison"	997
Tableau 8-23 – Format d'un TP PING (différences avec le TP ACK)	998
Tableau 8-24 – Format d'un TP PING_RESPONSE (différences avec le TP ACK).....	999
Tableau 8-25 – Format d'un paquets de données (différences avec le TP ACK).....	1001
Tableau 8-26 – Format d'un paquet d'horodatage isochrone	1003
Tableau 8-27 – Réponse d'un dispositif à un TP demandeur de données (points d'extrémité en masse, de contrôle et d'interruption)	1010
Tableau 8-28 – Réponses d'un hôte à des données reçues d'un dispositif (points d'extrémité en masse, de contrôle et d'interruption)	1011
Tableau 8-29 – Réponses d'un dispositif à des transactions OUT (points d'extrémité en masse, de contrôle et d'interruption)	1012
Tableau 8-30 – Réponses d'un dispositif à des transactions SETUP (uniquement pour des points d'extrémité de contrôle)	1013
Tableau 8-31 – Réponses de l'étape de statut	1050
Tableau 8-32 – TP ACK et DP pour des transactions IN isochrones canalisées	1072
Tableau 8-33 – Réponses d'un dispositif à des transactions isochrones IN	1074
Tableau 8-34 – Réponses de l'hôte à des transactions IN	1075
Tableau 8-35 – Réponses d'un dispositif à des paquets de données OUT	1075
Tableau 8-36 – Paramètres de temporisation	1076
Tableau 9-1 – Etats visibles d'un dispositif Enhanced SuperSpeed	1081
Tableau 9-2 – Paramètres conservés de l'état Suspended d'un dispositif USB	1088
Tableau 9-3 – Format des données de configuration	1092
Tableau 9-4 – Demandes de dispositif normalisées	1094
Tableau 9-5 – Codes de demandes normalisés	1095
Tableau 9-6 – Types de descripteurs	1096
Tableau 9-7 – Sélecteurs de caractéristiques normalisés	1097
Tableau 9-8 – Codes de types de statuts normalisés	1100
Tableau 9-9 – Options de suspension	1107
Tableau 9-10 – Paramètres du dispositif et événements	1110
Tableau 9-11 – Descripteur de dispositif normalisé	1113
Tableau 9-12 – Descripteur BOS	1114
Tableau 9-13 – Format d'un descripteur Device Capability	1114
Tableau 9-14 – Codes de types de capacités de dispositif	1115
Tableau 9-15 – Descripteur d'extension USB 2.0	1116
Tableau 9-16 – Descripteur de capacité de dispositif SuperSpeed	1117
Tableau 9-17 – Descripteur d'ID de conteneur	1119
Tableau 9-18 – Descripteur de plateforme	1119

Tableau 9-19 – Descripteur SuperSpeedPlus.....	1120
Tableau 9-20 – Descripteur de capacité PTM.....	1122
Tableau 9-21 – Descripteur de configuration normalisé.....	1123
Tableau 9-22 – Descripteur d'association d'interfaces normalisé.....	1124
Tableau 9-23 – Descripteur d'interface normalisé	1126
Tableau 9-24 – Descripteur de point d'extrémité normalisé	1127
Tableau 9-25 – Exemple de numéros de point d'extrémité de rétroaction	1129
Tableau 9-26 – Descripteur de point d'extrémité partenaire SuperSpeed	1130
Tableau 9-27 – Descripteur de point d'extrémité isochrone partenaire SuperSpeedPlus ...	1132
Tableau 9-28 – Descripteur de chaîne zéro, qui spécifie les langues prises en charge par le dispositif	1132
Tableau 9-29 – Descripteur de chaîne UNICODE.....	1133
Tableau 10-1 – Légende du diagramme d'états du port du concentrateur orienté en aval..	1150
Tableau 10-2 – Exigences relatives au VBUS d'un port en aval.....	1152
Tableau 10-3 – Actions de traitement des paquets d'en-tête acheminés en en aval	1188
Tableau 10-4 – Récapitulatif du mode de fonctionnement d'alimentation du concentrateur.....	1200
Tableau 10-5 – Descripteur de concentrateur Enhanced SuperSpeed	1207
Tableau 10-6 – Réponses du concentrateur aux demandes de dispositif normalisées	1209
Tableau 10-7 – Demandes de classe de concentrateur	1210
Tableau 10-8 – Codes de demande de classe de concentrateur.....	1210
Tableau 10-9 – Sélecteurs de caractéristiques de classe de concentrateur.....	1211
Tableau 10-10 – Champ de statut du concentrateur, <i>wHubStatus</i>	1214
Tableau 10-11 – Champ de modification du concentrateur, <i>wHubChange</i>	1214
Tableau 10-12 – Codes de type de statut du port.....	1215
Tableau 10-13 – Champ de statut de port, <i>wPortStatus</i>	1217
Tableau 10-14 – Champ de modification du port, <i>wPortChange</i>	1220
Tableau 10-15 – Champ de statut de port étendu, <i>wExtPortStatus</i>	1222
Tableau 10-16 – Codage de la valeur du délai d'expiration U1	1224
Tableau 10-17 – Codage de la valeur du délai d'expiration U2.....	1225
Tableau 10-18 – Codage du masque de réveil à distance du port en aval	1226
Tableau 10-19 – Paramètres de concentrateur.....	1233
Tableau 11-1 – Interopérabilité USB 3.0 et USB 2.0.....	1235
Tableau 11-2 – Caractéristiques électriques en courant continu.....	1245
Tableau 11-3 – Calibre de fil VBUS/Gnd selon la longueur maximale	1245
Tableau A.1 – Codes des symboles de données 8b/10b	1246
Tableau A.2 – Codes des symboles de caractères spéciaux 8b/10b.....	1252
Tableau C.1 – Récapitulatif des états et des caractéristiques des liaisons	1260
Tableau 6-13 – Séquences des modèles de conformité.....	1315
Tableau 6-13 – Séquences des modèles de conformité.....	1316
Tableau 6-17 – Paramètres électriques normatifs de l'émetteur	1317
Tableau 6-17 – Paramètres électriques normatifs de l'émetteur	1318
Tableau 6-20 – Paramètres d'égalisation d'émetteur Gen 2 informatifs	1323
Tableau 6-20 – Paramètres d'égalisation d'émetteur Gen 2 informatifs	1328

Tableau 6-27 – Exigences relatives à la gigue d'entrée pour les essais de tolérance Rx...	1333
Tableau 6-27 – Exigences relatives à la gigue d'entrée pour les essais de tolérance Rx...	1334
Tableau 11-4 – Définition des bits de commande de liaison	1340
Tableau 11-5 – Définition des bits de commande de liaison	1341
Tableau 11-6 – Ensemble ordonné SKP Gen 2	1365
Tableau 11-7 – Ensemble ordonné SKP Gen 2	1367
Tableau 11-8 – Ensemble ordonné SDS	1372
Tableau 11-9 – Ensemble ordonné SDS	1372
Tableau 6-29 – Temps de l'émetteur LFPS pour les modèles SuperSpeed ¹	1374
Tableau 6-29 – Temps de l'émetteur LFPS pour les modèles SuperSpeed ¹	1374
Tableau 6-15 – Budget informatif de la gigue au niveau des plaques de silicium.....	1376
Tableau 6-15 – Budget informatif de la gigue au niveau des plaques de silicium.....	1376
Tableau 6-19 – Masque de l'œil de l'émetteur normatif au point d'essai TP1	1377
Tableau 6-19 – Masque de l'œil de l'émetteur normatif au point d'essai TP1	1377
Tableau 6-27 – Exigences relatives à la gigue d'entrée pour les essais de tolérance Rx...	1378
Tableau 6-27 – Exigences relatives à la gigue d'entrée pour les essais de tolérance Rx...	1379

NOTE L'ensemble des notices de modification technique (ECN, *Engineering Change Notice*) et des documents d'errata en date du 1er mai 2015 qui appartiennent à cette spécification principale suivent la dernière page de la spécification à partir de la page 1314.

1 Introduction

1.1 Contexte

Le premier bus universel en série (USB) était motivé par la nécessité de fournir une solution Plug and Play conviviale pour connecter des périphériques externes à un ordinateur personnel (PC). L'USB est devenu bien plus qu'une simple solution permettant de connecter des périphériques aux PC. Les imprimantes utilisent l'USB pour se connecter directement aux appareils photo. Les appareils mobiles utilisent des claviers et des souris connectés par USB. La technologie USB est généralement présente dans les automobiles, les téléviseurs et les boîtiers décodeurs. Le protocole USB est également choisi et utilisé dans de nombreux domaines d'application non traditionnels, tels que l'automatisation industrielle. L'USB comme source d'alimentation est par ailleurs devenue une solution de recharge des dispositifs mobiles approuvée par les communautés internationales à travers le monde.

Initialement, l'USB proposait deux vitesses (12 Mbps et 1,5 Mbps) que les périphériques pouvaient utiliser. Plus les PC sont devenus puissants et capables de traiter des quantités de données toujours plus grandes, plus les utilisateurs ont exprimé le besoin de transférer davantage de données vers et depuis leurs PC. Cela a conduit à la définition de la spécification USB 2.0 en 2000 afin d'offrir une troisième vitesse de transfert de 480 Mbps tout en conservant une rétrocompatibilité. L'année 2006 a été marquée par deux réalités: la vitesse de transfert des disques durs a franchi la barre des 100 Mo/s, dépassant ainsi de loin la bande passante d'environ 32 Mo/s de l'USB 2.0, et la quantité de contenus numériques créés par les utilisateurs ne cessait d'augmenter. La communauté USB a répondu avec l'USB 3.0, qui a permis aux utilisateurs de transférer des données à une vitesse allant jusqu'à 450 Mo/s tout en conservant une rétrocompatibilité avec l'USB 2.0.

La tendance à l'accroissement de la bande passante se poursuivant en raison de l'augmentation de la taille et de la vitesse des solutions de stockage, de l'amélioration de la résolution vidéo et de l'utilisation généralisée de l'USB comme solution d'extension/de connexion externe, l'USB 3.1 étend désormais la plage de performances de l'USB à 1 Go/s, en doublant la vitesse d'horloge USB SuperSpeed à 10 Gbps et en améliorant l'efficacité du codage des données.

1.2 Objectif de la spécification

Le présent document définit la norme industrielle USB de dernière génération, l'USB 3.1. La spécification décrit la définition du protocole, les types de transactions, la gestion du bus et l'interface de programmation exigée pour la conception et la création des systèmes et des périphériques conformes à la présente spécification. L'USB 3.1 constitue principalement une amélioration des performances de l'USB 3.0 SuperSpeed, offrant ainsi une bande passante plus de deux fois supérieure pour les dispositifs tels que les disques électroniques et les écrans haute définition.

La présente spécification entend par Enhanced SuperSpeed une collection de fonctionnalités ou d'exigences qui s'appliquent au fonctionnement des bus USB 3.0 et USB 3.1. En outre, s'il existe des différences spécifiques concernant la définition des fonctionnalités ou des exigences SuperSpeed de l'USB 3.0, ces différences seront identifiées de manière unique comme des fonctionnalités ou des exigences SuperSpeedPlus (ou SSP) (en général, "SuperSpeed" fait référence à un fonctionnement à 5 Gbps et que "SuperSpeedPlus" fait référence à un fonctionnement à 10 Gbps).

L'objectif de l'USB 3.1 reste de permettre à des dispositifs de différents fournisseurs d'interagir dans une architecture ouverte, tout en maintenant et en exploitant l'infrastructure USB existante (pilotes de périphériques, interfaces logicielles, etc.). La spécification se veut une amélioration de l'architecture des ordinateurs, dans des environnements portables, de bureau et domestiques, ainsi que dans le cadre de simples communications entre deux dispositifs. La spécification vise à accorder aux fabricants d'origine (OEM, *Original Equipment Manufacturer*) de systèmes et aux développeurs de périphériques suffisamment de liberté pour assurer la polyvalence des produits et leur différenciation sur le marché sans avoir à prendre en charge des interfaces obsolètes ni perdre en compatibilité.

1.3 Domaine d'application du document

La spécification s'adresse en premier lieu aux développeurs de périphériques et aux développeurs de plateformes/d'adaptateurs, mais elle fournit des informations importantes aux fournisseurs de systèmes d'exploitation de plateforme/BIOS/pilotes, ainsi qu'aux éditeurs de logiciels indépendants/fournisseurs indépendants de matériel d'adaptateurs et aux OEM de systèmes. La présente spécification peut être utilisée pour le développement de nouveaux produits et des logiciels associés.

Les développeurs de produits qui utilisent la présente spécification sont présumés connaître et comprendre la Spécification USB 2.0. Plus précisément, les dispositifs USB 3.1 doivent mettre en œuvre les commandes et les descripteurs de cadre de dispositif définis dans la Spécification USB 2.0. Les dispositifs qui fonctionnent à la nouvelle vitesse de 10 Gbps (Gen 2) doivent mettre en œuvre les améliorations SuperSpeedPlus définies dans la présente version de la spécification.

1.4 Conformité des produits à l'USB

Les adoptants de la spécification USB 3.1 ont signé l'accord des adoptants de l'USB B 3.0, qui leur donne accès à une licence raisonnable et non discriminatoire (RANDZ) de droits fournie par les promoteurs et d'autres adoptants à certaines propriétés intellectuelles contenues dans les produits conformes à la spécification USB 2.0. Les adoptants peuvent démontrer leur conformité à la spécification en participant au programme d'essai défini par l'USB Implementers Forum (USB-IF). Les produits déclarés conformes à la spécification se verront accorder certains droits pour l'utilisation des logos de l'USB-IF Forum définis dans la licence du logo.

A partir de l'USB 3.1, les exigences en matière de conformité des produits sont renforcées pour interdire les câbles et connecteurs non certifiés. L'utilisation d'icônes ou de logos déposés sur des produits, de la documentation ou des emballages nécessite une licence, et les exigences en matière de licence impliquent l'acquisition d'une certification de produit spécifique.

1.5 Organisation du document

Les Chapitres 1 à 4 fournissent une vue d'ensemble à tous les lecteurs; les Chapitres 5 à 11 contiennent des informations techniques précises qui définissent l'USB 3.1.

Il convient que les lecteurs contactent les fournisseurs de systèmes d'exploitation pour toute question concernant les liaisons des systèmes d'exploitation spécifiques à l'USB 3.1.

1.6 Objectifs de conception

L'USB 3.0 a constitué une étape révolutionnaire pour l'USB. L'USB 3.1 représente le prochain pas vers l'augmentation de la bande passante. L'objectif reste inchangé; les utilisateurs finaux ont les mêmes attentes que pour l'USB 2.0 et l'USB 3.0, outre le gain de rapidité. Plusieurs aspects de conception essentiels pour atteindre cet objectif sont répertoriés ci-dessous:

Conserver le modèle USB articulé autour d'un hôte intelligent et d'un dispositif simple.

- Exploiter l'infrastructure USB existante. Un grand nombre de produits USB sont utilisés aujourd'hui. Une grande partie de leur succès peut être attribuée à l'existence d'interfaces logicielles stables, de pilotes de dispositifs logiciels faciles à développer et d'un certain nombre de pilotes génériques de classe de dispositifs normalisés (HID, stockage de masse, audio, etc.). Les dispositifs USB Enhanced SuperSpeed sont conçus de manière à maintenir cette infrastructure logicielle intacte afin que les développeurs de périphériques puissent continuer à utiliser les mêmes interfaces et tirer parti de tous leurs travaux de développement existants.
- Améliorer considérablement la gestion de l'alimentation. Réduire la puissance à l'état actif lors de l'envoi de données ainsi que la puissance à l'état de veille en fournissant un plus large ensemble de mécanismes de gestion de l'alimentation pour permettre aux dispositifs de placer le bus dans des états de plus faible puissance.
- La facilité d'utilisation a toujours été et demeure un objectif de conception clé pour tous les types d'USB.
- Pérenniser les investissements. Un grand nombre de PC actuellement utilisés ne prennent en charge que l'USB 2.0. Le nombre de périphériques USB 2.0 actuellement utilisés est plus important. Conserver une rétrocompatibilité au niveau du connecteur de Type A pour permettre l'utilisation, même à une vitesse inférieure, de dispositifs Enhanced SuperSpeed sur des PC équipés de ports USB 2.0 et permettre la connexion de dispositifs grande vitesse, à l'aide de leurs câbles existants, aux connecteurs de Type A USB 3.1 SuperSpeed.
- Proposer des fonctionnalités qui permettent au contrôleur hôte de tirer parti de la vitesse de l'USB 3.1 sans aucune modification du système d'exploitation.

1.7 Documents connexes

Spécification du bus universel en série, révision 2.0

USB On-the-Go Supplement to the USB 2.0 Specification, révision 1.3

USB On-the-Go and Embedded Host Supplement to the USB 3.0 Specification, révision 1.0

Bus universel en série – Spécification des câbles et connecteurs micro-USB, révision 1.01

EIA-364-1000.01: Environmental Test Methodology for Assessing the Performance of Electrical Connectors and Sockets Used in Business Office Applications

USB 3.0 Connectors and Cable Assemblies Compliance Document

USB SuperSpeed Electrical Test Methodology White Paper

USB 3.0 Jitter Budgeting White Paper

INCITS TR-35-2004, INCITS Technical Report for Information Technology – Fibre Channel – Methodologies for Jitter and Signal Quality Specification (FC-MJSQ)

Universal Serial Bus 3.0 Specification (avec errata et ECN au 1er mai 2011)

Universal Serial Bus Power Delivery Specification, révision 1.0, avec errata et ECN au
31 octobre 2012